

Japanese Patent Laid-Open Number Hei 11-202290

Laid-Open Date: July 30, 1999

Application No.: Hei 10-3700

Filing Date: January 12, 1998

Int. Class. No.: G02F 1/133; G0-F 9/00

Inventor: Mikami Yoshiro; Kageyama Hiroshi; Masuda Kazuto; Sato Hideo; Kawachi Genshiro

Applicant: Hitachi, Ltd.

Specification

(54) Title of Invention: LIQUID CRYSTAL DISPLAY DEVICE AND COMPUTER SYSTEM

(57) Abstract

[Objective]

To attain a power consumption reduction, miniaturization and definition improvement of a liquid crystal display with built-in peripheral circuit.

[Aspect]

The liquid crystal display device 3 provided with a liquid crystal display panel of an active matrix system is formed with a signal side peripheral circuit 32 and a scan side peripheral circuit 33 for driving liquid crystal, and a connective portion 5 having a trunk bus for transferring the display data to a signal wiring on a TFT substrate. Through the connective portion 5, an image memory chip 12 wherein an image memory 13 for storing the display data written from a CPU 30 for at least one horizontal line and a readout control circuit 18 are formed is mounted on the liquid crystal display device 3. The display data from the memory chip 12 are transferred from a line memory parallel interface 4 to a parallel input interface 6 every one line by a low-speed clock.

[Claims]

[Claim 1] A liquid crystal display device comprising:

a couple of substrates at least of which one is transparent;

a liquid crystal layer located between these substrates;

a plurality of scan wirings, a plurality of signal wirings, a plurality of thin film semiconductor elements formed in correspondence with intersection points of those wirings and a display electrode connected to these plurality of semiconductor elements on one of said substrates; and

a counter electrode on the other one of said substrates;

wherein a connective portion having a trunk bus for transferring the display data to said signal wiring is formed on said one substrate, and an image memory chip for storing the display data for at least one horizontal line is mounted through said connective portion.

[Claim 2] A liquid crystal display device comprising:

a couple of substrates at least of which one is transparent;

a liquid crystal layer located between these substrates;

a plurality of scan wirings, a plurality of signal wirings, a plurality of thin film semiconductor elements formed in correspondence with intersection points of those wirings and a display electrode connected to these plurality of semiconductor elements on one of said substrates; and

a counter electrode on the other one of said substrates;

wherein a connective portion having a trunk bus for transferring the display data to said signal wiring is formed on said one substrate, and an image memory chip for storing the display data for at least one horizontal line is mounted through said connective portion, and said image memory chip comprises a storage circuit for reading said display data in order, storing them with address in the horizontal direction, and reading the display data for one horizontal line of the same address simultaneously; a memory output latch for storing the display data for one line; a latch selection circuit for selecting the output of said output latch and connecting it to said trunk bus; and a readout control circuit for controlling so as to latch to said memory output latch every one horizontal line in order by reading the display data from said storage circuit and for controlling selecting connection of said latch selection circuit.

[Claim 3] A liquid crystal display device comprising:

a couple of substrates at least of which one is transparent;

a liquid crystal layer located between these substrates;

a plurality of scan wirings, a plurality of signal wirings, a plurality of thin film semiconductor elements formed in correspondence with intersection points of those wirings and a display electrode connected to these plurality of semiconductor elements on one of said substrates; and

a counter electrode on the other one of said substrates;

wherein a signal side peripheral circuit for driving said liquid crystal, a connective portion having

a trunk bus for transferring the display data to a scan side peripheral circuit and said signal wiring are formed on one of said substrates, and an image memory chip for storing the display data for at least one horizontal line is mounted through said connective portion.

[Claim 4] A liquid crystal display device comprising:

 a couple of substrates at least of which one is transparent;

 a liquid crystal layer located between these substrates;

 a plurality of scan wirings, a plurality of signal wirings, a plurality of thin film semiconductor elements formed in correspondence with intersection points of those wirings and a display electrode connected to these plurality of semiconductor elements on one of said substrates; and

 a counter electrode on the other one of said substrates;

 wherein a signal side peripheral circuit for driving said liquid crystal, a connective portion having a trunk bus for transferring the display data to a scan side peripheral circuit and said signal wiring are formed, and an image memory chip for storing the display data for at least one horizontal line is mounted through said connective portion,

and said image memory chip comprises a storage circuit for reading said display data in order, storing them with address in the horizontal direction, and reading the display data for one horizontal line of the same address simultaneously; a memory output latch for storing the display data for one line; a latch selection circuit for selecting the output of said output latch and connecting it to said trunk bus; and a readout controlling circuit for controlling so as to latch to said memory output latch every one horizontal line in order by reading the display data from said storage circuit and for controlling selecting connection of said latch selection circuit.

[Claim 5] In claim 4,

 a liquid crystal display device wherein said signal side peripheral circuit comprises a signal selection means for taking the display data for one horizontal line in order by switching an input circuit connected selectively to said trunk bus, a level shifter for converting a logic voltage of said display data expressed by two-value data into the logic voltage of said signal side peripheral circuit, a line latch for storing the display data for one horizontal line and a liquid crystal driving voltage generation circuit for converting the display data into an analog liquid crystal driving voltage,

 and a transference control circuit for controlling as both selection operations of said signal selection

means of said signal side peripheral circuit and said latch selection circuit of said image memory are synchronous is provided in said memory chit or said liquid crystal panel.

[Claim 6] In claim 5,

a liquid crystal display device wherein the selection operations of said latch selection circuit of said image memory and said signal selection means of said signal side peripheral circuit are connected and switched for each block, when the display data for one horizontal line are transferred by being divided into a plurality of blocks.

[Claim 7] In claim 5,

a liquid crystal display device wherein said signal selection means of said signal side peripheral circuit is constituted so as to divide signal wirings for said one horizontal line into a plurality of signal wiring blocks which are the same number of said trunk buses, and to connect the block and said trunk bus selectively by using a semiconductor analog switch.

[Claim 8] In claims 5, 6 and 7,

a liquid crystal display device wherein said level shifter is connected between said trunk bus and said signal selection means, or behind said signal selection means.

[Claim 9] In an image memory for storing the display data,

an image memory wherein a storage circuit for reading in the display data for at least one horizontal line in order, storing them with address in the horizontal direction, and reading out the display data for one horizontal line with the same address simultaneously; a readout control circuit for reading out the display data in order stored in said storage circuit and for controlling so as to latch onto a memory output latch every said one horizontal line; and a latch selection circuit for connecting selectively the output of said memory output latch to a signal trunk bus having the prescribed number of signal lines every said prescribed number of signal lines are provided.

[Claim 10] In a computer system in which CPU, a memory, input and output I/O and a display device are connected with a system bus,

a computer system wherein said display device are provided with a liquid crystal display panel of an active matrix system and an image memory which is mounted on the panel, the display data of new or modified portion from said CPU are written, and the data for at least one horizontal line are stored.

[Claim 11] In claim 10,

a computer system wherein a system power source for supplying the driving electricity to each component in a system and a power source control portion for supplying and stopping the driving electricity in response to the running condition of components except said display device are provided.

[Detailed Description of the Invention]

[Industrial Field of Application]

The present invention relates to a liquid crystal display device, especially to a liquid crystal display device wherein an image memory chip is mounted on a TFT substrate of a liquid crystal display panel.

[Prior art]

As a driving circuit of small-sized liquid crystal display panel with high definition, a system that a matrix peripheral circuit is formed on a glass substrate by using a thin film transistor is widely known. For example, it is reported on pp 348 to 345 of "Extended Abstract of 1997 International Conference on Solid-State Device and Materials". Also, the details of an active matrix driving system and a liquid crystal display module are described in detail in "Liquid Crystal Display Technology (Sangyo-Tosho)" by Shoichi Matsumoto of the author and editor.

Fig. 2 shows a configuration of the conventional TFT liquid crystal display module. In an information machine such as a personal computer, the display data by combining the coordinates of each dot in a dot matrix display portion and the gradation data are made by CPU 30 or a display control circuit. An image memory 13 for storing the display data is arranged with CPU and the display controlling circuit, separately from the display portion 29 of a TFT active matrix system and a liquid crystal display device 3 wherein a peripheral circuit portion is formed integrally.

The data from the image memory 13 to the liquid crystal display module 3 are transferred serially in order to reduce the number of wirings. The display control circuit reads the data from the image memory 13 for each several dots, and transfers them to the liquid crystal display module as serial transferring data 8 after processing of rearrangement in series. The serial data are rearranged into a line signal of data for one line again in a serial parallel conversion circuit 9, converted into a signal wiring driving signal of an active matrix by a line latch and a liquid crystal gradation driving circuit 10, consequently a display portion 29 is driven.

In this system, generally the data for all the pixels are transferred with high-speed by repetition of

frequency of 60 to 75 Hz between the image memory and the display control circuit, and the display control circuit and the liquid crystal display module.

[Problems that the Invention is to Solve]

In the conventional technology mentioned above, the display data for all the pixels must be transferred every one frame time for the liquid crystal display module. With the increase of the number of pixel, the transferring rate at this time is increased, for example, high-speed transference about 50 MHz is needed in the configuration of 1024 x 768 pixels. For this high-speed transference, LSI in module must be operated at this speed. Because a CMOS circuit is used for a basic circuit built in LSI, the power consumption is increased with the operation speed. Accordingly, the liquid crystal module of the present system has a problem that the power consumption is increased as the definition is improved.

Besides, a TFT peripheral circuit technology which constitutes a peripheral circuit of a liquid crystal display portion is made to be practicable in a small-sized display device. However, compared with a circuit of LSI which is formed on Si chip, the mobility and the circuit operation speed are low because a poly-crystalline thin film Si and an evaporation film SiO_2 are used as a gate insulating film. Accordingly, the definition improvement by the conventional TFT peripheral circuit is difficult.

The present invention, is accomplished in consideration of problems of the conventional technology, and has the purpose to offer a liquid crystal display device wherein the transferring frequency of data from an image memory to a liquid crystal module is lowered drastically, the operation frequency and the power consumption can be reduced, and miniaturization is possible.

Also, it has the purpose to offer a computer system wherein a liquid crystal display device on which an image memory is mounted is connected, a power consumption can be reduced and the processability of CPU can be improved.

Furthermore, it has the purpose to offer an image memory wherein the display data for at least one horizontal line are stored, and the divided reading corresponding to the number of output signal lines is possible.

[Means for Solving the Problems]

The present invention for accomplishing the above purpose is characterized by a liquid crystal display device comprising

a couple of substrates at least of which one is transparent;

a liquid crystal layer located between these substrates;

a plurality of scan wirings, a plurality of signal wirings, a plurality of thin film semiconductor elements formed in correspondence with intersection points of those wirings and a display electrode connected to these plurality of semiconductor elements on one of said substrates; and

a counter electrode on the other one of said substrates;

wherein a connective portion having a trunk bus for transferring the display data to said signal wiring is formed on said one substrate, and an image memory chip for storing the display data for at least one horizontal line is mounted through said connective portion.

Besides, it is characterized by which a signal side peripheral circuit and a scan side peripheral circuit for driving said liquid crystal are formed on a TFT substrate which constitutes said liquid crystal panel, and connect the input of said signal side peripheral circuit to said trunk bus.

Also, said image memory chip is characterized by which a storage circuit for reading said display data in order, storing them with address in the horizontal direction, and reading the display data for one horizontal line of the same address simultaneously; a memory output latch for storing the display data for one line; a latch selection circuit for selecting the output of said output latch and connecting it to said trunk bus; and a readout control circuit for controlling so as to latch onto said memory output latch every one horizontal line in order by reading the display data from said storage circuit and for controlling selective connection of said latch selection circuit are constituted on a semiconductor such as silicon chip and the like.

According to the characteristics of this image memory chip, the display data for one line which are output selectively can be transferred to an arbitrary signal trunk bus having the prescribed number of signal lines, so that it is also effective as a wide use image memory.

Besides, said signal side peripheral circuit comprises a signal selection means (for example, a block switching circuit) for taking the display data for one horizontal line in order by switching an input circuit which is connected selectively to said trunk bus; a level shifter for converting a logic voltage of said display data which are expressed by two-values data into a logic voltage of said signal side peripheral circuit; a line latch for storing the display data for one horizontal line; and a liquid crystal driving voltage generation circuit for converting the display data into an analog liquid crystal driving

voltage, and a transference control circuit for controlling so as to synchronize both selection operations of said signal selection means of said signal side peripheral circuit and said latch selection circuit of said image memory are provided on said memory chip or said liquid crystal panel.

Also, it is characterized by which the selection operation of said latch selection circuit of said image memory and said signal selection means of said signal side peripheral circuit are performed by connecting and switching for each block, when the display data for one horizontal line are transferred by being divided into a plurality of blocks.

Or, it is characterized by which said signal selection means of said signal side peripheral circuit is constituted so as to divide signal wirings for said one horizontal line into a plurality of signal wiring blocks which are the same number of said trunk buses, and to connect the block and said trunk bus selectively by using a semiconductor analog switch,

Besides, it is characterized by which said level shifter is connected between said trunk bus and said signal selection means, or behind said signal selection means.

According to the present invention, an image memory is mounted on a liquid crystal panel wherein a display portion of TFT active matrix system and a TFT peripheral circuit are formed, and connection of the image memory and the peripheral circuit in juxtaposition can be realized on a substrate. Consequently, the display data are always stored on the display device side, so that the display data only have to be rewritten in the modified portion and the frequency of transference from CPU to the display device can be reduced drastically. Also, the transference of data from the image memory to the peripheral circuit is performed in juxtaposition for one horizontal line at the maximum, so that the transferring frequency is lowered and the operation frequency and the power consumption of the whole of display device can be reduced drastically.

The present invention for accomplishing other purposes besides the above one, in a computer system in which CPU, a memory, input and output I/O and a display device are connected with a system bus, is characterized by which said display device comprises a liquid crystal display panel of an active matrix system, and an image memory which is mounted on the panel and the display data of new or modified portion are written from said CPU and the data for at least one horizontal line are stored.

Besides, it is characterized by which a system power source for supplying driving electricity to each component in the system, and a power source control portion for supplying and stopping the

driving electricity in response to the running condition of the components except said display device are provided.

Fig. 1 shows a basic configuration of a liquid crystal display device by the present invention. The display data and the control signal from a CPU 30 are transferred to a display device 3 through a data address bus 1 and a control signal line 2. In the display device 3, a display portion 29 of TFT active matrix system and a TFT peripheral circuit 40 by using a poly-crystalline TFT are formed on a TFT substrate, and an image memory chip 12 is mounted on a connective portion 5 which is formed on the TFT substrate.

The display data transferred from the CPU 30 are written in an image memory 13 which is integrated in the image memory chip 12. Modification of display contents is performed by rewriting the data of the portion corresponding to the modified pixel from the CPU 30.

In a readout control circuit 18, the display data of the image memory 13 are read together every line of matrix, transferred to a line memory parallel interface 4, rearranged properly, and transferred to a TFT peripheral circuit 40 with a control signal through the connective portion 19 including trunk buses for a plurality of pixels. The processing of rearrangement is needed when the number of transference in juxtaposition of one time is performed by dividing one line into a plurality of times.

A transference control circuit 26 controls the operation of the TFT peripheral circuit portion 40. First, the display data transferred from the image memory chip 12 side are rearranged by the parallel input interface 6, and are converted into a signal wiring driving voltage of an active matrix by a liquid crystal gradation driving circuit 7. This parallel input interface 6 and the liquid crystal gradation driving circuit 7 correspond to a signal side peripheral circuit 32. The liquid crystal of the pixel portion is driven by applying the signal wiring driving voltage to the display portion 29 synchronously with a scan signal from a scan side peripheral circuit 33.

In this way, the image memory chip is loaded on the substrate for forming the liquid crystal display panel, connection by a lot of points with high density is realized between the chip and the substrate, so that the data of all the pixels are transferred in parallel periodically between the image memory and the TFT peripheral circuit. Therefore, the operation frequency of the display device can be reduced drastically and a power consumption reduction can be realized.

Besides, because CPU is enough to transfer only the pixel data for modifying the display contents

to the display device, the writing processing of CPU can be reduced drastically, consequently the processability of CPU can be increased and the power consumption can be reduced. This characteristics is advantageous to a small-sized computer such as a laptop computer and the like.

Also, owing to reduction of the operation frequency of driving circuit in the display portion, the display with high definition can be realized by the peripheral circuit on the TFT substrate of which operation speed is slower than Si chip, so that miniaturization can be realized by reducing the number of mounting parts of module.

[Embodiment mode]

Hereinafter, a plurality of embodiments of a liquid crystal display device of the present invention are explained in detail referring to figures. Besides, the same marks are used to equal factors through each figure.

[Embodiment 1]

Fig. 3 shows a configuration of a liquid crystal display device system of an embodiment 1. A liquid crystal display device of the present embodiment comprises a display portion 29 having pixels of an active matrix system formed on a TFT substrate, a liquid crystal display panel 11 constituted by the TFT peripheral circuit, and an image memory chip 12 which is mounted on a connective portion 5 formed on the same TFT substrate.

The liquid crystal display panel 11 has a basic configuration on the conventional TFT substrate, and comprises a display portion 29 wherein transistor elements are formed at the crossing portions of a plurality of scan wirings and signal wirings which cross at right angles each other, pixel is forming by holding liquid crystal between a display electrode and a counter electrode connected to a gate electrode and a drain electrode of the element, and the pixels are arranged in matrix shape at the above crossing portions; a signal side peripheral circuit 32 for supplying a display signal; and a scan side peripheral circuit 33 for supplying a scan signal in order to drive pixels of an active matrix system. As stated later, the signal side peripheral circuit 32 has a configuration which is different from the conventional one.

A trunk bus 19 and the like of the connective portion 5 is formed on the TFT substrate by CMOS TFT forming process, which connects an output terminal of the image memory chip 12 and an input terminal of the signal side peripheral circuit 32, consequently the parallel transference of the display signal is possible.

The image memory chip 12 is formed on an Si chip, wherein an image memory 13 for reading in the display data in order for at least one horizontal line, for one frame in the present embodiment, for storing them with address in the horizontal direction, and storing the display data for one line with the same address simultaneously with reading; a memory output latch 16 for holding the display data for one line; a readout control circuit 18 for controlling so as to latch the readout display data in order onto the memory output latch 16 every horizontal line; and a latch selection circuit 17 for connecting selectively the output of the latch 16 to the trunk bus 19 are provided.

Also, a transference control circuit 26 for controlling so as to synchronize selection operations in both of the latch selection circuit 17 and the signal side peripheral circuit 32 of the liquid crystal display panel 11 is provided. Besides, the transference control circuit 26 can be provided not on the image memory chip 12 side, but on the liquid crystal display panel 11 side.

Fig. 4 shows a schematic cross sectional structure of a liquid crystal display device. The liquid crystal display panel 11 is constituted by a TFT substrate 41 for forming TFT and a counter substrate (glass substrate) 42 wherein a color filter 48 and a transparent conductive film 49 containing tin oxide are formed on the surface, between which liquid crystal 43 is sealed with a liquid crystal seal 44, and which are interposed with two polarizing plates 45 from the outside and are combined by a back light 46. In the display portion 29 of which one portion only is shown in figure, a transistor element of the driving circuit is formed in matrix shape on the substrate 41 under the liquid crystal 43. The peripheral circuit 40 of the display portion 29 is formed on the substrate 41 outside of the face which interposes the liquid crystal 43.

Furthermore, on the TFT substrate 41 outside the polarizing plates 45, an image memory chip 12 is mounted, and a trunk bus 19 for connecting the chip 12 and the peripheral circuit 40 is formed. The image memory chip 12 is connected to a chip input terminal 37 through wirings and the like on the TFT substrate 41, and is connected to a bus wiring 38 wherein a flexible print substrate and the like is used.

In order to form the TFT substrate, no-alkali glass is used for the TFT substrate as an Si film, and low-temperature poly-silicon by a laser annealing growing method as an Si crystalline film forming method is used. By combining a doping method with this, TFTs of pch and nch are formed on the same substrate simultaneously.

The image memory chip 12 having a connective portion with the TFT substrate 41 is constituted

by the conventional LSI process. Besides, the connection of a bus wiring 38 and the image memory chip 12 with the TFT substrate 41 can be realized by narrow pitch wiring not more than 100 μm , for example by using ANISOLM that the product of anisotropic conductive film of Hitachi Chemical Co., Ltd.

Next, a configuration and an operation of a liquid crystal display device of the present embodiment are explained in detail referring to Fig. 3. By a CPU 30, the display data converted into the gradation data every pixel address and pixel are input to a memory chip 12 of the display device 3 with a control signal for controlling data transferring timing by the control signal line 36 through an address bus wiring 34 and data bus wiring 35, and are written in the image memory 13 through a data line decoder 14, a word line decoder 15 and a data interface circuit 50.

Besides, conversion to the gradation data every dot can be performed by logic device such as a display controller having a function that the display data and the address are generated by a bit map addressing system wherein a separate memory region is lay out every dot or a plurality of dots of the display portion.

Concerning the display data which are stored in the image memory 13, by which the readout control circuit 18 controls the word line decoder 15, the display data for several bits of one horizontal line of the image memory 13 are sampled in order and are read out to the memory output latch 16. The display data for one line which are latched to the memory output latch 16 are divided into a plurality of blocks, are selected one by one in the prescribed order by the latch selection circuit 17, and are output from the chip output connective terminal 31 having the number of one block.

The display data which are output from the memory chip 12 for each block, through a trunk bus 19 which is formed on the TFT substrate, are input to a signal side peripheral circuit 32 of a liquid crystal display panel 11 on the same substrate. The operation of the signal side peripheral circuit 32 is controlled by a transference control circuit 26.

First, a block switching circuit 20 outputs the data for each block which is selected by a selection latch circuit 21. At this time, the logic signal level of the display data is converted into the logic voltage of the TFT peripheral circuit by a level shifter 22. By performing transference per block in order, when the display data for one line are stored in the selection latch circuit 21, the data are transferred to the line latch 23 simultaneously.

The liquid crystal driving voltage generation circuit 24 converts the display data into a liquid crystal gradation voltage, and drives a drain wiring 106 of the display portion 29. On the other hand, a gate wiring 110 of the display portion 29 is driven by a scan side peripheral circuit 33 composed with a gate wiring driving circuit 27 and a scan shift register 28. A shift clock 113 and a frame start signal 114 of the scan timing are supplied from the transference control circuit 26. The display of one screen can be realized by which the transference operation of one line mentioned above for all the lines is performed within one frame time.

In the configuration mentioned above, with the increase of the number of buses of the trunk bus 19, the number of data of one block is increased, so that the number of transference of the data can be reduced. The number of buses depends on the accuracy of the processing apparatus, however connection with 50 μm pitch is possible by 5 mm square chip in the present apparatus, consequently 100 terminals per one side, about 300 terminals by using three sides can be taken. By making terminal shape a houndstooth pattern, furthermore terminals about three times can be formed, according connection that one block is about 300 bits can be performed easily.

An application of a liquid crystal panel for practical use is explained. When 640 pixels for one line, gradation signals of 6 bits of each RGB color in a panel of 640 x 480 pixels are transferred, it is necessary to transfer $640 \times 3 \times 6 = 11520$ bits. Therefore, when 300 bits are transferred in juxtaposition, the number of times of transference is 38.4. Concerning the time of transference, when the frame frequency is 70 Hz, the period of one line is $1 \div 70 \div 480 = 29.8 \mu\text{s}$, accordingly the transference frequency in this case is 1.3 MHz. Because dot clock of the conventional example is not less than 20 MHz, it is found that the frequency is reduced drastically. Also, by dividing the image memory chip into a plurality and driving them synchronously, furthermore reduction is possible.

A configuration and an operation of each circuit are explained in detail. Fig. 5 shows a configuration of an image memory chip. The image memory chip 12 is connected to a system bus through a bus wiring 38 which gets an address bus wiring 34, a data bus wiring 35, controlling signal lines 36 together and a chip input connective terminal 37.

In an image memory 13, memory cells 63 are arranged in a matrix shape, and a word line 62 for selecting each memory cell is connected commonly to a work line decoder 15 in the line direction. A bit line 65 for writing data is connected commonly to a bit line driving circuit 51 in a row direction.

The bit line driving circuit 51 comprises a data interface 50 for writing control and a data line decoder. Each bit line 65 is connected to a sense amplifier 64, the word line is selected so that the corresponding cells for one line are selected, and the condition of cells are output to the sense amplifier 64 simultaneously.

The condition of the bit line 65 is converted into data by the sense amplifier 64, which are read out in the memory output latch 16 by a memory latch control signal 131, and are connected to a latch selection circuit 17. Output of the latch selection circuit 17 is connected to a plurality of chip output terminals 31, and connected to the liquid crystal panel 11 through the trunk bus 19.

The bit line driving circuit 51 for writing to a memory cell 63 and the word line decoder 15 among them are the same system as that of dual port memory chip.

The control signal for controlling writing operation to the memory 13 is produced by the readout control circuit 18, and is supplied to the word line decoder 15 and the bit line driving circuit 51. Also, a memory latch control signal 131, a memory chip block switching signal 130 and a control signal of the transference control circuit 26 for controlling an operation of the TFT peripheral circuit are produced. The transference control circuit 26 output a block selection signal 84, a block latch signal 88, a line latch signal 132, a shift clock 113 and a frame start signal 114. Besides, the control signal to the TFT peripheral circuit is transferred by adding the necessary number of signals to the trunk bus 19.

Fig. 6 shows a circuit configuration of a memory cell. A memory cell 63 is constituted with six transistors, and connects a VDD terminal 66 and a VSS terminal 67 to a power supply. A word terminal 68 for selecting a cell, a bit terminal 69 and a reverse bit terminal 70 which input and output a reverse signal each other for inputting and outputting data are connected to a word line 62 and a bit line 65 of matrix respectively.

Fig. 7 shows a circuit configuration of a sense amplifier. A sense amplifier 64 is constituted with five transistors, and when a power supply VDD and a bias voltage VCS are applied, a bit signal and a reverse bit signal which are reversed each other are applied to an input terminal 71, consequently a data output 72 having amplitude of power supply voltage is obtained.

Fig. 8 shows a circuit configuration of a memory output latch. A plurality of latch circuits 97 arranged in a line, of which input end is connected to a data output terminal 72 of the sense amplifier 64, are latched simultaneously by the memory latch control signal 131.

Fig. 9 shows a configuration of a latch circuit. A latch circuit 97 is constituted with two inverters 90 by a CMOS transistor, two transfer gates 91 and a control inverter 92. The data which are input to an input terminal 93 from a sense amplifier 64 change the condition of the latch output 95 by which a transfer gate 91 is opened and an inverter 92 is driven only when a memory latch control signal 131 which is input from the readout control circuit 18 to the control terminal 94 is logic "plus". When the memory latch control signal 131 is logic "minus", the output condition is not changed and the data are stored.

Fig. 10 shows a configuration of a latch selection circuit. A latch selection circuit 17 connects a data line 134 for one line of which total number is N bits from the memory output latch 16 to m -pieces of the output bus 82 in order through an analog switch 135 with a transfer gate. Accordingly, the data line is divided into m -pieces, made to be output blocks 81 of block 1 to h , made to be multiple per output block, and is connected selectively. Because N -pieces of data lines are divided into h pieces of blocks corresponding to m -pieces of output buses, block number $h = N/M$.

The block 81 which is connected to the output bus 82 and is output is controlled by an analog switch 135. Consequently, selection signal input terminals are put together by using the analog switch 135 as a block analog switch 83 per block, the logic "plus" signal is applied to only any one of them and logic "minus" signal is applied to other ones, so that only the particular output block is connected selectively. A memory chip block switching signal 130 is supplied from the readout control circuit 18, and because a control signal which the polarity is reversed is necessary for control of an analog switch, an inverter 85 is connected every switching signal 130. The output bus 82 is connected to the trunk bus 19 through the chip output connective terminal 31.

Next, concerning a liquid crystal panel of the present embodiment, especially, a configuration and an operation of a signal side peripheral circuit 32 and a scan side peripheral circuit 33 are explained in detail.

A block switching circuit 20 of the signal side peripheral circuit 32 transfers the display data which are input from the image memory chip 12 through the trunk bus 19 in order of block, and the selection latch circuit 21 rearranges the display data for one line.

Fig. 11 shows a configuration of a block switching circuit. An output wiring 136 for one line (N -pieces) of the block switching circuit 20 is divided into 1 to h blocks, and is connected to the trunk

bus 19 through a TFT analog switch 161 constituted by CMOSTFT and an input bus 86 for one block (m-pieces).

A TFT block analog switch 160 is comprised by getting the analog switches together every m-pieces. A control signal of the switch 160 is common to every block, and produces a control signal of both polarities necessary for analog switch control by an inverter 89. Concerning ON and OFF of switch, the logic "plus" signal is applied only to any one switch, and the logic "minus" signal is applied to other ones by a block selection signal 84 which is supplied from the transference control circuit 26, consequently each block is selected in the prescribed order and is connected to the input bus 86. The display data which are expressed by an output wiring 136 of a block output 87 connected to the input bus 86, are transferred to a selection latch circuit 21 by making a logic level of an output signal of the image memory 13 suitable for a logic level of a thin film transistor circuit by a level shifter 22.

Fig. 12 shows circuit configurations of a selection latch and a line latch. Fig. 12 (a) is a selection latch circuit 21, which is constituted by arranging a plurality of latch circuits 97, getting latch control signals together every block comprising m-pieces, consequently latch for each block is possible. By a block latch signal 88 from a transference control circuit 26, the data of the same block are latched synchronously with a block switching circuit 20. The output of the selection latch circuit 21 is connected to a line latch circuit 23. Fig. 12 (b) is a latch circuit 97, and is constituted by CMOSTFT. However, because it is the same configuration as that of the latch circuit of Fig. 9, the marks of the circuit components are the same for convenience.

Fig. 12 (c) is a line latch 23, and the latch circuit 97 for N bits that is the same as that of Fig. 12 (b) are connected in juxtaposition. Latch control signal ends 94 of all the circuits 97 are connected together, and the display data for one line are sampled simultaneously by a line latch signal 132 from the transference control circuit 26.

Fig. 13 shows a circuit configuration of a level shifter. A level shifter 22 is constituted by six transistors. An input signal from a block switching circuit 20 and a reverse signal by an inverter 90 are input to four transistor circuits, of which logic voltage is amplified up to a voltage of power source terminal 99.

In this way, the level shifter 22 is connected behind the block switching circuit 20, so that the logic level of output signal of the image memory 13 is made to be suitable for the logic level of a TFT

circuit. Consequently, a power consumption can be reduced by the following reason.

In the block switching circuit 20, m-pieces of trunk buses 19 and N-pieces of output wirings 136 constitute a matrix which is connected/shut by an analog switch, and a crossing capacity is formed at this wiring crossing portion. In order to switch a signal with high-speed by matrix, it is necessary to charge and discharge the crossing capacity with high-speed from the point of view of the image memory chip 12. The power consumption at this time is in proportion to the capacity value, and to the square of signal amplitude. And then, the power consumption can be reduced by lowering a driving voltage of the block switching circuit 20.

In the present embodiment, the image memory chip 12 is formed by LSI on a silicon substrate as a semiconductor element, and is used for high integration under the logic voltage 5V. On the other hand, the operation voltage of TFT circuit of the liquid crystal panel 11 must be higher than the liquid crystal driving voltage, specifically about 8 to 16V is needed. And then, as far as the block switching circuit 20, which is driven by the logic voltage of 3.3 to 5V of the image memory, subsequently the liquid crystal can be driven by increase the logic voltage up to 10 to 12V by level shifter 22. Consequently, the power consumption reduction and high-speed operation are possible.

In the present embodiment, because the switching system is used in the block switching circuit 20, the signal can be switched independently of the logic voltage of display data. Besides, the signal can be switched by combination of a plurality of logic circuits. In this case, it is necessary to level-shift to the logic voltage for high-speed logic circuit which is constituted by TFT in the input portion of the block switching circuit 20.

Fig. 14 shows a configuration of a liquid crystal driving voltage generation circuit. In a liquid crystal driving voltage generation circuit 24, a-pieces of input terminals 100 to which a digital gradation signal of a-bit by the binary scale, through a decoder circuit 101 which is combined with the logic circuits, are connected to a gradation voltage selection switch 104 with a transfer gate 103, and of which output line 106 is connected to a drain line that a signal wiring of a display portion 29. The gradation voltage selection switch 104 is connected to a gradation voltage bus 105 comprising a-squared of 2 of wirings, and each wiring of a bus 105 is connected to a gradation power source 47 with different amplitude corresponding to gradations.

Therefore, the digital gradation signal of a-bit which is connected to the input terminal 100, shows

the gradation data corresponding to a gradation number expressed by the binary scale. One gradation control signal corresponding to the gradation number expressed by the binary scale is selected from the gradation control signal 102 of a-squared of 2 by the decoder circuit 101. By making only one transfer gate 103 of the gradation voltage selection switch 104 conductive, the gradation control signal connects one of gradation voltage buses 105 to which the specific gradation power supply is connected and the output line 106, and output the gradation voltage. Accordingly, corresponding to the display data of a-bit which express the gradation of one pixel, it is converted into a liquid crystal driving voltage which varies the transmittance of liquid crystal, and is output from the output line 106 to the drain line of the pixel portion.

Next, configurations of a shift register 28 and a gate wiring driving circuit 27 are explained by a scan side peripheral circuit 33 of Fig. 15. The shift register 28 connects shift register circuits 112 with multi-steps in series, and a frame start signal 114 and a shift clock 113 with both polarities are supplied for input from the transference control circuit 26. The gate driving circuit 27 is constituted by an inverter row 111 wherein inverters having larger gate width in order are connected in series, and inputs the output of each step of the shift register 28 so that the gate wiring of the display portion 29 is driven with high-speed.

Fig. 16 shows a circuit diagram of a shift register. The shift register 28 is constituted by which a lot of shift registers 112 comprising eight inverters 107 and eight transfer gates 108 are connected in series. By being driven by the shift clock 113 which the polarities of two-phase are different each other, the input signals 109 are delayed every shift clock in order and are output to the gate wiring 110.

Besides mentioned above, a readout control circuit 18 and the transference control circuit 26 which generate various control signals mentioned above are constituted by combining logic circuits by using CMOS respectively. Basically, it is the conventional technology so that the detailed explanation is omitted.

Next, an operation of a liquid crystal display device of the present embodiment is explained. Fig. 17 is a timing chart showing the writing operation from CPU to the image memory. As mentioned above, the address and the data are designated from CPU 30, and a memory select signal and a readout control signal are included in the control signal.

When the memory select signal becomes logic “0”, the image memory is selected so that writing

to the image memory 13 is possible. Subsequently, the condition of data bus when the writing control signal changes from logic “0” to logic “1”, is written to a memory cell 63 with designated address in the image memory. In this way, writing of the display data to the image memory 13 is performed by the same process as that of other memory connected to CPU, and it is not different from the conventional personal computer and the like in which a liquid crystal display device is loaded.

Next, readout of the display data is explained. Fig. 18 is a timing chart showing a readout operation of one frame from an image memory to a memory output latch. A word line decoder 15 is operated by the indication of the readout control circuit 18, 1 to n of the word lines 62 is selected one by one in order so that the data for one line of the memory cell 63 connected to the word line 62 are input to the sense amplifier 64 through the bit line 65, and converted into the digital data. When it is input to the memory output latch 16 in order and is latched by the memory latch control signal 131, the output of the output latch 16 is changed. The readout operation mentioned above is repeated from first line to the n-th line of scan line of one screen for one frame period, and a series of operations are repeated every frame period.

Fig. 19 is an explanatory view showing an operation of a latch selection circuit. The latch selection circuit 17 outputs the output for one line of the memory output latch 16 to m-pieces of the chip output terminals 31. The display data of $h \times m$ bits for one horizontal line of the k-th scan line are stored in the memory output latch 16 like as an arrangement shown in Figure. This is divided into m-bits and h-blocks, and then a 1st block to h-th block are selected in order by a memory chip block switching signal 130 which is supplied from a readout control circuit 18. Accordingly, the 1st block to h-block can be connected to the output bus 82 in order, and the display data for one line are output to the chip output terminal 31 for each block, furthermore are output to the trunk bus 19.

Fig. 20 is an explanatory view showing an operation of a selection latch circuit wherein the display data is taken in through a block switching circuit. The data from block 1 to block h are output to the trunk bus 19 in order. Synchronously with this from a transferring controlling circuit 26, a block selection signal 84 is supplied to a block switching circuit 20 and a block latch signal 88 is done to a selection latch circuit 21, if the selection signal and the block latch signal of the corresponding block are logic “plus”, the data are taken in the selection latch circuit 21 to which the selection block is connected, and its output is rewritten. On this occasion, the data are converted into a level of a TFT logic circuit

about 10 to 12V by the level shifter 22 connected to the input side of each selection latch circuit 21.

In this way, the data arrangement on the selection latch are renewed partly in order as shown in Figure, after rewriting from 1 to h block is finished, the data of the k-th line are arranged on the selection latch. Besides, because the readout operation of image memory chip 12 and the operations of block switching circuit 20 and selection latch circuit 21 are performed synchronously, the display data of one line on the memory output latch 16 of the image memory 13 are transferred to the selection latch circuit 21 within a one horizontal scan period.

Fig. 21 is a timing chart showing an operation of line latch. As an input of a line latch 23, the data for one scanning line are renewed and supplied every horizontal period from the selection latch 21. These input data are taken in by the line latch control signal 132 from the transference control circuit 26, and the line latch output data are renewed. The line latch output is connected to a liquid crystal driving voltage generation circuit 24, which is converted into a liquid crystal driving voltage instantaneously, and is supplied to a drain wiring of the corresponding pixel from the output line 106.

An operation of the display portion 29 is the same as the conventional one. The scan pulse which the pixel of one horizontal line is shifted in order from the gate wiring 110 is applied from the scan side circuit to each pixel portion of the display portion 29 which is constituted in matrix. Also, in the signal side circuit, synchronously with the scan pulse, the liquid crystal driving voltage for one line is applied by a drain wiring of each pixel from the liquid crystal driving voltage generation circuit 24, so that the pixel display for one horizontal line is performed.

As mentioned above, according to a liquid crystal display device of the present embodiment, the image memory chip which is mounted on the display panel stores the display data from a drawing control circuit such as CPU by bit map image, reads the digital display data for one line simultaneously, and outputs to the trunk bus every plurality of pixels for each block in order synchronously by the transference control circuit. These display data are supplied to a peripheral driving circuit which is formed by using a thin film TFT with a display portion on a display panel through the trunk bus. The peripheral driving circuit takes the display data for one line into the selection latch in order, transfers them to the line latch and stores the data for one line synchronously by the transference control circuit. The digital gradation data of each dot are converted into the gradation voltage for applying to liquid crystal of a pixel by using these data.

As a result, the image memory and an interface of the display portion can be simplified, and the transference clock for transferring the data of one line can be reduced, consequently the power consumption of the display device can be reduced drastically. Also, a liquid crystal module can be compacted by forming a peripheral circuit on the TFT substrate, and the image with high definition can be offered.

[Embodiment 2]

Next, the second embodiment of the present invention is explained. Fig. 22 is a configuration view of a liquid crystal display device by an embodiment 2. A point of difference from the embodiment 1 is one portion of a signal side peripheral circuit of the liquid crystal panel 11. Specifically, each terminal of the trunk bus 19 is connected through a level shifter 120 to a signal input selection circuit 121 which is constituted with a row of shift registers.

Fig. 23 shows a configuration view from a trunk bus to a line latch. The level shifter 120 is connected to the trunk bus 19 which is connected to the chip output terminal 31 every respective wiring, and the data voltage is converted into a logic level suitable for a logic circuit by TFT. The output of level shifter circuits 120 are input to the input terminals 109 of the shift registers 122 respectively. The shift registers 122 for steps corresponding to the number of blocks that the data for one line are divided are connected in series, consequently constitutes a shift register row.

The shift register 122 operates by a shift clock 162 from a transference control circuit 26. The shift clock 162 is synchronized with a memory chip block switching signal 131 of the memory chip 12.

Fig. 24 is an explanatory view showing an operation of a signal input selection circuit. A row of shift registers of the signal input selection circuit 121 takes the data of each block which are input to the input terminals every time a shift clock is changed and shifts them to right in order. When the shift operation is finished by repeating from block 1 to h, the data of the k-th line are sampled. At this time, when the line latch control signal 132 is applied, the data for one line are transferred to the line latch 23. Subsequently, the display operation is performed in the same way as the embodiment 1 by the liquid crystal gradation driving circuit 24.

The level shift circuit of the embodiment 1 needs for one line, to the contrary, the level shift circuit of the embodiment 2 is enough for one block so that the power consumption can be reduced. Specifically, the number of signal wirings of panel of 640 x 480 pixel is 640. If the level shifter circuit

is arranged behind the selection latch circuit, 640 circuits are needed, however, if they are arranged behind the signal input selection circuit, it is enough for the number of the trunk bus 19. For example, when the trunk buses are 40, it is enough for 40 circuits, and the power consumption of this portion can be reduced to 1/80.

Besides, because the wiring crossing portions of the signal input selection circuit can be reduced, the increase of power consumption by increasing the logic voltage can be offset.

[Embodiment 3]

Fig. 25 shows a cross sectional structure of a liquid crystal panel by another embodiment. Fig. 4 shows a transmissive liquid crystal panel, while Fig. 25 shows a reflexive liquid crystal panel. In the present embodiment, as a reflexive liquid crystal 140 for display, two-color high polymeric dispersive type liquid crystal or a guest-host type liquid crystal is used, and a reflexive display electrode 141 is used as a display electrode.

Fig. 26 shows a schematic structure of a pixel portion. The pixel portion of the display portion 29 is constituted by a pixel TFT 142 which is connected to a gate wiring 110 and a drain wiring 106 at a matrix shape crossing portion of them. The reflexive display electrode 141 is formed with a metal thin film with high reflectance, when the selection pulse is input, the liquid crystal 140 is driven by making the drain electrode and the display electrode 141 conductive by the liquid crystal driving voltage which is applied to the drain wiring 106.

A back light becomes useless by using the reflexive liquid crystal, and the electricity is consumed only in the image memory chip 12 and the TFT peripheral circuit 40, consequently the power consumption can be reduced further.

[Embodiment 4]

Next, an embodiment of a computer system wherein a liquid crystal display device of the present invention is applied. Fig. 27 shows an embodiment of a computer system by the present invention. In the present system, CPU 150 for processing information, a memory element 151 for storing the data, I/O 153 for controlling input and output of data with the outside of system, a controller 152 for controlling system, a keyboard 154 for inputting command, and a liquid crystal display device 3 are connected mutually through a system bus 158. The liquid crystal display device 3 is constituted by which the image memory chip is mounted on the liquid crystal panel, as explained in the embodiments

1 to 3, and the display data from the CPU 150 can renew the image display of the display portion only by supplying its modified portion.

The liquid crystal display device 3 of the present system is connected to an independent display power source 157. The system power source 155 is a power source for driving portions except the display device 3, and is controlled to supply the electricity to each portion corresponding to the condition of key input or system bus 158 by the CPU 150 and the power source control portion 156. All of the components are usually driven, and input, information processing, displaying are performed. In case of being limited to an operation of one portion such as calculating, the electricity to components which are not running is cut off by controlling the system power source by the CPU 150, consequently the power consumption can be reduced.

Furthermore, in case of waiting for input over the regular time and the like, the CPU 150 is stopped by cutting of the system power source 155 and only the liquid crystal display device 3 is made to run, consequently the screen display can be kept until then. The system can be started again by key input from the condition.

It is necessary for the conventional liquid crystal display module to supply the display data from CPU or controller continuously, accordingly the contents of display is also disappeared if CPU or a controller of the computer system are stopped. However, according to the computer system of the present embodiment, because the image memory for storing the display data is integrated in the display device itself, advantages are brought that the display operation can be kept even if the supply of electricity is cut off in case of no need of running other device except the system, and that the power consumption of system can be reduced drastically.

[Effects of the invention]

According to the present invention, an image memory chip wherein an image memory and the readout control circuit are formed is mounted on the same substrate as a liquid crystal module, a lot of wirings of a connective portion are formed on the substrate, and the display data from the image memory to the liquid crystal module are transferred in parallel, consequently advantages are brought that the transferring frequency can be reduced drastically compared with the conventional serial transmission and the power consumption can be reduced.

Besides, by reduction of transferring frequency, advantages are brought that the necessary circuit operation is secured even if the mobility of a peripheral circuit which is constituted on the TFT substrate is low, and the definition of image can be improved.

Besides, in case of no writing from the drawing control circuit such as CPU, the display operation is made to be possible by storing the display data in the image memory, accordingly rewriting of the display data can be performed only in the modified portion of the display contents. Consequently, during the period of no display and modification of still picture, CPU can process other work, stop supplying the power source to others except display device, and the processability and the power consumption reduction in a small computer having a liquid crystal display device can be improved.

[Brief Description of the Drawings]

[Fig. 1] basic configuration view of a liquid crystal display device of the present invention

[Fig. 2] schematic configuration view of the conventional TFT liquid crystal display module

[Fig. 3] configuration view of a liquid crystal display device by an embodiment 1 of the present invention

[Fig. 4] cross sectional view of a portion of a liquid crystal display device of an embodiment 1

[Fig. 5] configuration view of an image memory

[Fig. 6] circuit diagram of a memory cell

[Fig. 7] circuit diagram of a sense amplifier

[Fig. 8] configuration view of a memory output latch

[Fig. 9] circuit diagram of a memory output latch

[Fig. 10] latch selection circuit diagram

[Fig. 11] block switching circuit diagram

[Fig. 12] configuration view of a selection latch circuit and a line latch circuit of TFT

[Fig. 13] circuit diagram of a level shifter

[Fig. 14] liquid crystal gradation driving circuit diagram

[Fig. 15] shift register and a gate driving circuit diagram

[Fig. 16] shift register circuit diagram

[Fig. 17] timing chart showing a data writing process of an image memory

[Fig. 18] timing chart showing a latch operation of an image memory output

[Fig. 19] explanatory view of a selection operation for outputting from an image memory chip to a trunk bus

[Fig. 20] explanatory view of a selection operation for inputting from a trunk bus to a signal side peripheral circuit

[Fig. 21] timing chart showing a TFT line latch operation

[Fig. 22] configuration view of a liquid crystal display device by an embodiment 2 of the present invention

[Fig. 23] configuration view of a signal side peripheral circuit by an embodiment 2

[Fig. 24] explanatory view showing a data arrangement of a row of shift register

[Fig. 25] cross sectional view of a portion of a liquid crystal display device of an embodiment 3

[Fig. 26] schematic configuration view of a pixel portion

[Fig. 27] configuration view of a computer system by an embodiment 4 of the present invention

[Description of the Reference Numerals and Signs]

1 ... data address bus, 2 ... control signal line, 3 ... display device

4 ... line memory parallel interface, 5 ... connective portion, 6 ... parallel input interface

7 ... liquid crystal gradation driving circuit, 8 ... serial transference data

9 ... serial parallel conversion circuit, 11 ... liquid crystal display panel

12 ... image memory chip, 13 ... image memory, 14 ... data line decoder

15 ... word line decoder, 16 ... memory output latch, 17 ... latch selection circuit

18 ... readout control circuit, 19 ... trunk bus, 20 ... block switching circuit

21 ... selection latch circuit, 22 ... level shifter, 23 ... line latch

24 ... liquid crystal driving voltage generation circuit,

26 ... transference control circuit, 27 ... gate wiring driving circuit, 28 ... shift register

29 ... display portion, 30 ... CPU, 31 ... chip output connective terminal

32 ... signal side peripheral circuit, 33 ... scan side peripheral circuit

34 ... address bus wiring, 35 ... data bus wiring, 37 ... chip input connective terminal

38 ... bus wiring, 40 ... TFT peripheral circuit, 41 ... TFT substrate

42 ... counter substrate, 43 ... liquid crystal, 44 ... liquid crystal seal

45 ... polarizing plate, 46 ... back light, 47 ... gradation power source

48 ... color filter, 49 ... transparent conductive film, 50 ... data interface
51 ... bit line driving circuit, 62 ... word line, 63 ... memory cell
64 ... sense amplifier, 65 ... bit line, 68 ... word terminal
69 ... bit terminal, 70 reverse bit terminal, 71 ... bit line input terminal
72 ... data output, 81 ... output block, 82 ... output bus
83 ... block analog switch, 84 ... block selection signal, 85 ... inverter
86 ... input bus, 87 ... block output, 88 ... block latch signal
89 ... inverter, 90 ... inverter circuit, 91 ... transfer gate circuit
92 ... control inverter, 93 ... input terminal, 97 ... latch circuit
99 ... power source terminal, 100 ... input terminal, 101 ... decoder circuit
103 ... transfer gate, 104 ... gradation voltage selection switch
105 ... gradation voltage bus, 106 ... output line (drain wiring)
107 ... inverter, 108 ... transfer gate, 110 ... gate wiring
111 ... row of inverter, 112 ... shift register, 113 ... shift clock circuit
114 ... frame start signal, 120 ... level shifter
121 ... signal input selection circuit (row of shift register)
122 ... shift register, 130 ... memory chip block switching signal
131 ... memory latch control signal, 132 ... line latch signal
135 ... analog switch, 140 ... reflexive liquid crystal
141 ... reflexive display electrode, 142 ... pixel TFT, 150 ... CPU
151 ... memory, 152 ... controller, 153 ... I/O
154 ... keyboard, 155 ... system power source, 156 ... power source control portion
157 ... display power source, 158 ... system bus
160 ... TFT block analog switch, 161 ... TFT analog switch

(51) Int.Cl.⁶
 G 0 2 F 1/133
 G 0 9 F 9/00

識別記号
 5 5 0
 3 4 6

F I
 G 0 2 F 1/133
 G 0 9 F 9/00

5 5 0
 3 4 6 G

審査請求 未請求 請求項の数11 O.L (全 17 頁)

(21)出願番号 特願平10-3700

(22)出願日 平成10年(1998)1月12日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 三上 佳朗

茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 景山 寛

茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 増田 和人

茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(74)代理人 弁理士 高橋 明夫 (外1名)

最終頁に続く

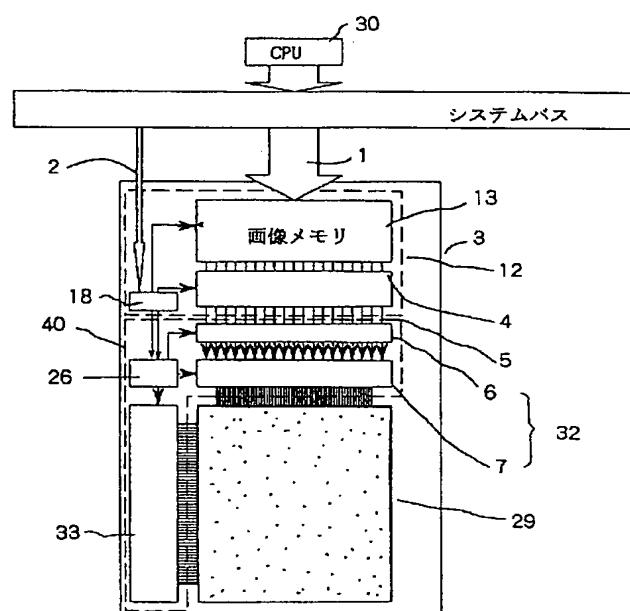
(54)【発明の名称】 液晶表示装置および計算機システム

(57)【要約】

【課題】周辺回路内蔵型液晶ディスプレイの低消費電力化、小型化及び高精細度化を図る。

【解決手段】アクティブマトリクス方式の液晶表示パネルを備える液晶表示装置3は、TFT基板上に液晶を駆動するための信号側周辺回路32及び走査側周辺回路33と、信号配線に表示データを転送するための中継バスをもつ接続部5を形成している。接続部5を介して、CPU30から書き込まれた表示データを少なくとも水平1ライン分記憶する画像メモリ13や読み出し制御回路18などを形成した画像メモリチップ12を、液晶表示装置3に実装している。メモリチップ12からの表示データは、ラインメモリパラレルインターフェース4からパラレル入力インターフェース6へ、1ライン分毎に低速のクロックで転送される。

図 1



【特許請求の範囲】

【請求項1】 少なくとも一方が透明な一対の基板と、この基板間に配置された液晶層を有し、前記基板の一方には複数の走査配線と、複数の信号配線と、それらの配線の交点に対応して形成された複数の薄膜半導体素子と、これらの複数の半導体素子に接続された表示電極を有し、前記基板の他方には対向電極有する液晶表示装置において、

前記一方の基板上に、前記信号配線に表示データを転送するための中継バスをもつ接続部を形成し、前記接続部を介して少なくとも水平1ライン分の表示データを記憶する画像メモリチップを実装してなることを特徴とする液晶表示装置。

【請求項2】 少なくとも一方が透明な一対の基板と、この基板間に配置された液晶層を有し、前記基板の一方には複数の走査配線と、複数の信号配線と、それらの配線の交点に対応して形成された複数の薄膜半導体素子と、これらの複数の半導体素子に接続された表示電極を有し、前記基板の他方には対向電極有する液晶表示装置において、

前記一方の基板上に、前記信号配線に表示データを転送するための中継バスをもつ接続部を形成し、前記接続部を介して少なくとも水平1ライン分の表示データを記憶する画像メモリチップを実装し、前記画像メモリチップは、前記表示データを順次読み込み水平方向にアドレス付けして記憶すると共に、同一アドレスの水平1ライン分の表示データを同時に読み出しえる記憶回路と、1ライン分の表示データーを保持するメモリ出力ラッチと、前記出力ラッチの出力を選択して前記中継バスに接続するラッチ選択回路と、前記記憶回路からの表示データを読み出して順次水平1ライン毎に前記メモリ出力ラッチにラッチするよう制御すると共に、前記ラッチ選択回路の選択接続を制御する読み出し制御回路とを構成してなることを特徴とする液晶表示装置。

【請求項3】 少なくとも一方が透明な一対の基板と、この基板間に配置された液晶層を有し、前記基板の一方には複数の走査配線と、複数の信号配線と、それらの配線の交点に対応して形成された複数の薄膜半導体素子と、これらの複数の半導体素子に接続された表示電極を有し、前記基板の他方には対向電極有する液晶表示装置において、

前記一方の基板上に、前記液晶を駆動するための信号側周辺回路、走査側周辺回路及び前記信号配線に表示データを転送するための中継バスをもつ接続部を形成し、前記接続部を介して少なくとも水平1ライン分の表示データを記憶する画像メモリチップを実装してなることを特徴とする液晶表示装置。

【請求項4】 少なくとも一方が透明な一対の基板と、この基板間に配置された液晶層を有し、前記基板の一方には複数の走査配線と、複数の信号配線と、それらの配

線の交点に対応して形成された複数の薄膜半導体素子と、これらの複数の半導体素子に接続された表示電極を有し、前記基板の他方には対向電極有する液晶表示装置において、

前記一方の基板上に、前記液晶を駆動するための信号側周辺回路、走査側周辺回路及び前記信号配線に表示データを転送するための中継バスをもつ接続部を形成し、前記接続部を介して少なくとも水平1ライン分の表示データを記憶する画像メモリチップを実装し、

前記画像メモリチップは、前記表示データを順次読み込み水平方向にアドレス付けして記憶すると共に、同一アドレスの水平1ライン分の表示データを同時に読み出しえる記憶回路と、1ライン分の表示データーを保持するメモリ出力ラッチと、前記出力ラッチの出力を選択して前記中継バスに接続するラッチ選択回路と、前記記憶回路からの表示データを読み出して順次水平1ライン毎に前記メモリ出力ラッチにラッチするよう制御すると共に、前記ラッチ選択回路の選択接続を制御する読み出し制御回路を構成してなることを特徴とする液晶表示装置。

【請求項5】 請求項4において、

前記信号側周辺回路は、前記中継バスと選択接続する入力回路を切替て水平1ライン分の表示データを順次取り込む信号選択手段と、2値データで表わされる前記表示データの論理電圧を前記信号側周辺回路の論理電圧に変換するレベルシフタと、水平1ライン分の表示データを保持するラインラッチと、表示データをアナログの液晶駆動電圧に変換する液晶駆動電圧発生回路を備え、前記信号側周辺回路の前記信号選択手段と前記画像メモリの前記ラッチ選択回路の双方の選択動作を同期させるよう制御する転送制御回路を、前記メモリチップまたは前記液晶パネルに備えてなることを特徴とする液晶表示装置。

【請求項6】 請求項5において、

前記画像メモリの前記ラッチ選択回路と前記信号側周辺回路の前記信号選択手段の選択動作は、水平1ライン分の表示データを複数ブロックに分割して転送する場合に、ブロック単位の接続と切替を行なうことを特徴とする液晶表示装置。

【請求項7】 請求項5において、

前記信号側周辺回路の前記信号選択手段は、前記水平1ライン分の信号配線を前記中継バスと同じ本数からなる複数の信号配線ブロックに分離し、該ブロックと前記中継バスを半導体アナログスイッチを用いて選択接続するよう構成したことを特徴とする液晶表示装置。

【請求項8】 請求項5、6または7において、

前記レベルシフタは、前記中継バスと前記信号選択手段の間または前記信号選択手段の後に接続されることを特徴とする液晶表示装置。

【請求項9】 表示データを記憶する画像メモリにおい

て、少なくとも水平1ライン分の表示データを順次読み込み、水平方向にアドレス付けして記憶し、同一アドレスの水平1ライン分の表示データの同時読み出しが可能な記憶回路と、前期記憶回路に記憶した表示データを順次読み出し、前記水平1ライン毎にメモリ出力ラッチにラッチするように制御する読み出し制御回路と、所定本数の信号線をもつ信号中継バスに、前記メモリ出力ラッチの出力を前記所定本数毎に選択接続するラッチ選択回路とを具備してなることを特徴とする画像メモリ。

【請求項10】CPUとメモリと入出力I/O及び表示装置をシステムバスで接続した計算機システムにおいて、前記表示装置は、アクティブマトリクス方式の液晶表示パネルと、該パネルに実装され前記CPUから新規または変更部分の表示データを書き込まれ、少なくとも水平1ライン分を記憶する画像メモリを備えていることを特徴とする計算機システム。

【請求項11】請求項10において、システム内の構成要素の各々に駆動電力を供給するシステム電源と、前記表示装置以外の構成要素の稼働状態に応じて駆動電力の供給を断／続する電源制御部を設けたことを特徴とする計算機システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置に係り、画像メモリチップを液晶表示パネルのTFT基板上に実装した液晶表示装置に関する。

【0002】

【従来の技術】小型、高精細の液晶表示パネルの駆動回路として、薄膜トランジスタを用いてガラス基板上にマトリクス周辺回路を形成する方式が知られている。例えば、「エクステンデッド アブストラクト オブ 1997 インターナショナル コンファレンス オン ソリッドステートデバイス アンド マテリアルズ」の348～345頁に報告されている。また、アクティブマトリクス駆動方式ならびに液晶表示モジュールの詳細については、松本正一編著の「液晶ディスプレイ技術（産業図書）」に詳しく述べられている。

【0003】図2に、従来のTFT液晶表示モジュールの構成を示す。パソコンコンピュータなどの情報機器においては、表示データをCPU30または表示制御回路がドットマトリクス表示部の各ドットの座標と、階調データの組み合わせからなる表示データを発生させる。表示データを格納する画像メモリ13はCPUや表示制御回路と共に、TFTアクティブマトリクス方式の表示部29や周辺回路部を一体形成した液晶表示装置3とは別配置されている。

【0004】画像メモリ13から液晶表示モジュール3へのデータは、配線本数を減らすためにシリアル転送さ

れる。表示制御回路は画像メモリ13から数ドット単位に読み出し、直列に並び替え処理をした後にシリアル転送データ8として液晶表示モジュールに送る。シリアルデータはシリアルパラレル変換回路9で、再度1ライン分のデータの並列信号に並び替えられ、ラインラッチ及び液晶階調駆動回路10によりアクティブマトリクスの信号配線駆動信号に変換され、表示部29を駆動する。

【0005】このシステムの画像メモリと表示制御回路間および表示制御回路と液晶表示モジュールとの間では、通常60～75Hz周期の繰り返しで全画素分のデータを高速転送している。

【0006】

【発明が解決しようとする課題】上記した従来技術では、液晶表示モジュールに対して1フレーム時間毎にすべての画素の表示データを転送しなければならない。この時の転送レートは画素数が多くなるほど増大し、例えば、1024×768画素の構成では約50MHz程度の高速の転送が必要になる。この高速転送のためには、モジュール内のLSIがこの速度で動作しなければならない。LSIに内蔵される基本回路はCMOS回路が用いられるので、動作速度とともに消費電力が増大する。このため、本方式の液晶モジュールは、精細度が大きくなるに伴い消費電力が増大すると言う問題があった。

【0007】また、液晶表示部の周辺回路を構成するTFT周辺回路技術は、小型の表示装置で実用されている。しかし、Siチップ上に形成するLSIの回路に比べ、多結晶薄膜Siおよび蒸着膜SiO₂をゲート絶縁膜として用いているため移動度が低く、回路動作速度も遅い。このため、従来のTFT周辺回路による高精細化は困難であった。

【0008】本発明の目的は、従来技術の問題点に鑑み、画像メモリから液晶モジュールへのデータの転送周波数が大幅に低下し、動作周波数と消費電力を低減でき、また、コンパクト化できる液晶表示装置を提供することにある。

【0009】また、画像メモリを実装した液晶表示装置を接続し、消費電力の低減やCPUの処理性を向上できる計算機システムを提供することにある。

【0010】さらに、少なくとも水平1ライン分の表示データを記憶し、出力信号線数に対応した分割読み出しの可能な画像メモリを提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するための本発明は、少なくとも一方が透明な一対の基板と、この基板間に配置された液晶層を有し、前記基板の一方には複数の走査配線と、複数の信号配線と、それらの配線の交点に対応して形成された複数の薄膜半導体素子と、これらの複数の半導体素子に接続された表示電極を有し、前記基板の他方には対向電極有する液晶表示装置において、前記一方の基板上に、前記信号配線に表示データ

タを転送するための中継バスをもつ接続部を形成し、前記接続部を介して少なくとも水平1ライン分の表示データを記憶する画像メモリチップを実装してなることを特徴とする。

【0012】また、前記液晶パネルを構成するTFT基板上に、前記液晶を駆動するための信号側周辺回路及び走査側周辺回路を形成し、前記信号側周辺回路の入力と前記中継バスを接続してなることを特徴とする。

【0013】また、前記画像メモリチップは、前記表示データを順次読み込み水平方向にアドレス付けして記憶すると共に、同一アドレスの水平1ライン分の表示データを同時に読み出しできる記憶回路と、1ライン分の表示データーを保持するメモリ出力ラッチと、前記出力ラッチの出力を選択して前記中継バスに接続するラッチ選択回路と、前記記憶回路からの表示データを読み出して順次水平1ライン毎に前記メモリ出力ラッチにラッチするように制御すると共に、前記ラッチ選択回路の選択接続を制御する読み出し制御回路とを、シリコンチップ等の半導体上に構成してなることを特徴とする。

【0014】この画像メモリチップの特徴によれば、所定本数の信号線をもつ任意の信号中継バスに、選択的に出力して1ライン分の表示データーを転送できるので、汎用の画像メモリとしても有効である。

【0015】また、前記信号側周辺回路は、前記中継バスと選択接続する入力回路を切替て水平1ライン分の表示データを順次取り込む信号選択手段（例えば、ブロック切替回路）と、2値データで表わされる前記表示データの論理電圧を前記信号側周辺回路の論理電圧に変換するレベルシフタと、水平1ライン分の表示データを保持するラインラッチと、表示データをアナログの液晶駆動電圧に変換する液晶駆動電圧発生回路を備え、前記信号側周辺回路の前記信号選択手段と前記画像メモリの前記ラッチ選択回路の双方の選択動作を同期させるように制御する転送制御回路を、前記メモリチップまたは前記液晶パネルに備えてなる。

【0016】また、前記画像メモリの前記ラッチ選択回路と前記信号側周辺回路の前記信号選択手段の選択動作は、水平1ライン分の表示データを複数ブロックに分割して転送する場合に、ブロック単位の接続と切替を行なうことを特徴とする。

【0017】あるいは、前記信号側周辺回路の前記信号選択手段は、前記水平1ライン分の信号配線を前記中継バスと同じ本数からなる複数の信号配線ブロックに分離し、該ブロックと前記中継バスを半導体アナログスイッチを用いて選択接続するように構成したことを特徴とする。

【0018】また、前記レベルシフタは、前記中継バスと前記信号選択手段の間または前記信号選択手段の後に接続されることを特徴とする。

【0019】本発明によれば、TFTアクティブマトリ

クス方式の表示部とTFT周辺回路を形成した液晶パネル上に画像メモリを実装し、画像メモリと周辺回路の並列接続を基板上で実現している。このため、表示データは常に表示装置側に保持されるので、表示データの書き換えは変更部分のみで済み、CPUから表示装置への転送頻度が大幅に低減できる。また、画像メモリから周辺回路へのデータの転送は、最大で水平1ラインの並列転送となるので転送周波数が低下し、表示装置全体の動作周波数と消費電力を大幅に低減できる。

【0020】上記他の目的を達成する本発明は、CPUとメモリと入出力I/O及び表示装置をシステムバスで接続した計算機システムにおいて、前記表示装置は、アクティブマトリクス方式の液晶表示パネルと、該パネルに実装され前記CPUから新規または変更部分の表示データを書き込まれ、少なくとも水平1ライン分を記憶する画像メモリを備えていることを特徴とする。

【0021】また、システム内の構成要素の各々に駆動電力を供給するシステム電源と、前記表示装置以外の構成要素の稼働状態に応じて駆動電力の供給を断／続する電源制御部を設けたことを特徴とする。

【0022】図1に、本発明による液晶表示装置の基本構成を示す。CPU30からの表示データと制御信号はデータアドレスバス1と制御信号線2を介して表示装置3に転送される。表示装置3はTFT基板上にTFTアクティブマトリクス方式の表示部29、多結晶TFTを用いたTFT周辺回路40を形成し、TFT基板上に形成された接続部5に画像メモリチップ12を実装している。

【0023】CPU30から転送された表示データは、画像メモリチップ12に内蔵された画像メモリ13に書き込まれる。表示内容の変更は、CPU30から変更画素に対応する部分のデータを書き換えて行なわれる。

【0024】読み出し制御回路18は、画像メモリ13の表示データをマトリクスの1ライン分毎にまとめて読み出し、ラインメモリパラレルインターフェース4に転送し、適宜並び替えの処理を行い、複数画素分の中継バスを含む接続部19を介して制御信号とともにTFT周辺回路40に転送する。並び替えの処理は、1回の並列転送数が1ライン分を複数回に分けて行なう場合に必要となる。

【0025】転送制御回路26はTFT周辺回路部40の動作を制御する。まず、画像メモリチップ12側から送られた表示データを、パラレル入力インターフェース6により並び替え、液晶階調駆動回路7によりアクティブマトリクスの信号配線駆動電圧に変換する。このパラレル入力インターフェース6と液晶階調駆動回路7が信号側周辺回路32に相当する。走査側周辺回路33からの走査信号と同期して、信号配線駆動電圧を表示部29に印加して画素部の液晶を駆動する。

【0026】このように、液晶表示パネルを形成する基

板上に画像メモリチップを搭載し、チップと基板との間に高密度の多点数の接続を実現して、画像メモリとTFT周辺回路の間で全画素のデータを周期的にパラレル転送する。従って、表示装置の動作周波数が大幅に低減でき低消費電力化が達成できる。

【0027】また、CPUは表示内容を変更する画素データのみを表示装置に転送すればよいので、CPUの書き込み処理が大幅に低減でき、CPUの処理性の拡大と電力消費の低減が可能になる。この特徴はノートパソコン等の小型機でメリットが大きい。

【0028】また、表示部の駆動回路の動作周波数の低減により、Siチップより動作の遅いTFT基板上の周辺回路によっても高精細な表示が可能となり、モジュールの実装部品点数を減らしてコンパクト化できる。

【0029】

【発明の実施の形態】以下、本発明の液晶表示装置の複数の実施例について、図面を参照しながら詳細に説明する。なお、各図を通し同等の要素には同一の符号を付している。

【0030】【実施例1】図3に、実施例1の液晶表示装置システムの構成を示す。本実施例の液晶表示装置は、TFT基板上に形成されたアクティブマトリクス方式の画素を持つ表示部29とそのTFT周辺回路からなる液晶表示パネル11と、同一のTFT基板上に形成される接続部5に実装された画像メモリチップ12から構成される。

【0031】液晶表示パネル11は従来のTFT基板上における構成を基本としていて、互いに直交する複数の走査配線と信号配線との交差部にトランジスタ素子を形成し、該素子のゲート電極及びドレイン電極に接続された表示電極と対向電極によって液晶を挟持して画素を形成し、該画素を上記の交差部にマトリクス状に配置してなる表示部29と、アクティブマトリクス方式の画素を駆動するため、表示信号を供給する信号側周辺回路32及び走査信号を供給する走査側周辺回路33からなる。後述するように、信号側周辺回路32は従来の構成と相違する。

【0032】接続部5の中継バス19などは、CMOS TFT形成プロセスによりTFT基板上に形成され、画像メモリチップ12の出力端と信号側周辺回路32の入力端を接続し、表示信号のパラレル伝送を可能にしている。

【0033】画像メモリチップ12はSiチップ上に形成され、少なくとも水平1ライン分、本例では1フレーム分の表示データを順次読み込み、水平方向にアドレス付けして記憶すると共に、同一アドレスの1ライン分の表示データを同時読み出し可能に記憶する画像メモリ13と、1ライン分の表示データーを保持するメモリ出力ラッチ16と、画像メモリ13の表示データを順次読み出し、読み出した表示データを順次水平1ラインごとに

メモリ出力ラッチ16にラッチするように制御する読み出し制御回路18と、ラッチ16の出力を中継バス19に選択接続するラッチ選択回路17を具備している。

【0034】また、ラッチ選択回路17と液晶表示パネル11の信号側周辺回路32との双方で、選択動作を同期させるように制御する転送制御回路26を設けている。なお、転送制御回路26は画像メモリチップ12ではなく、液晶表示パネル11側に設けてもよい。

【0035】図4に、液晶表示装置の概略の断面構造を示す。液晶表示パネル11はTFTを形成するTFT基板41と、表面にカラーフィルター48及び酸化錫を含む透明導電膜49を形成した対向基板(ガラス基板)42と、これらの間に液晶シール44により液晶43を密封し、それらの外側から2枚の偏光板45で挟み込み、バックライト46を組み合せてなる。一部のみ図示している表示部29は液晶43の下側の基板41に、駆動回路となるトランジスタ素子がマトリクス状に形成される。表示部29の周辺回路40は、液晶43を挟持している面の外側の基板41に形成されている。

【0036】さらに、偏光板45間の外側のTFT基板41上に、画像メモリチップ12が実装され、チップ12と周辺回路40を接続する中継バス19が形成される。画像メモリチップ12はTFT基板41上の配線などを介してチップ入力端子37に接続され、フレキシブルプリント基板などを用いたバス配線38と接続されている。

【0037】TFT基板の形成には、Si膜としてTFT基板に無アルカリガラスを用い、Si結晶膜形成方法としてレーザーアニール成長法による低温ポリシリコンを用いる。または、石英ガラス基板を用い、固相成長法による高温ポリシリコンなどの多結晶Si膜を用いる。これにドーピング法を組み合わせ、pch、nchのTFTを同一基板上に同時に形成する。

【0038】TFT基板41との接続部分を持つ画像メモリチップ12は、従来のLSIプロセスにより構成できる。また、バス配線38および画像メモリチップ12とTFT基板41との接続は、例えば日立化成工業(株)の異方性導電膜の商品であるアニソルムを用いることにより、100μm以下の狭ピッチ配線による接続が可能である。

【0039】次に、本実施例の液晶表示装置の構成と動作を図3にしたがって詳細に説明する。CPU30により、画素アドレス及び画素毎の階調データに変換された表示データは、アドレスバス配線34、データバス配線35を介し、制御信号線36によるデータ転送タイミング制御のための制御信号と共に表示装置3のメモリチップ12に入力され、データ線デコーダー14、ワード線デコーダー15及びデータインターフェース回路50を介して画像メモリ13に書き込まれる。

【0040】なお、ドット毎の階調データへの変換は、

表示部の1ドットあるいは複数ドット毎に個別のメモリ領域を割り付ける、ビットマップアドレッシング形式で表示データとアドレスを発生する機能を有する表示コントローラなどの論理デバイスによってもよい。

【0041】画像メモリ13に記憶されている表示データは、読み出し制御回路18からワード線デコーダ15を制御し、画像メモリ13の水平1ライン分の表示データビット数分だけ、順次サンプリングしてメモリ出力ラッチ16に読み出す。メモリ出力ラッチ16にラッチされた1ライン分の表示データは複数ブロックに分割され、ラッチ選択回路17によって所定順序で1ブロックずつ選択され、1ブロック分の個数を持つチップ出力接続端子31から出力される。

【0042】メモリチップ12からブロック単位で出力された表示データは、TFT基板上に形成された中継バス19を介し、同じ基板上の液晶表示パネル11の信号側周辺回路32に入力される。信号側周辺回路32の動作は転送制御回路26により制御される。

【0043】まず、ブロック切替回路20はブロック単位のデータを、選択ラッチ回路21より選択されるブロック毎に出力する。このとき、表示データの論理信号レベルが、レベルシフタ22によりTFT周辺回路の論理電圧に変換される。ブロック毎の転送を順次行うことにより、選択ラッチ回路21に1ライン分の表示データが保持されたとき、ラインラッチ23に一斉に転送される。

【0044】液晶駆動電圧発生回路24は表示データを液晶階調電圧に変換し、表示部29のドレン配線106を駆動する。一方、表示部29のゲート配線110はゲート配線駆動回路27、走査シフトレジスタ28からなる走査側周辺回路33によって駆動される。走査タイミングとなるシフトクロック113及びフレームスタート信号114は、転送制御回路26より供給される。以上の1ラインの転送動作を、1フレーム時間内に全ライン分実施して、1画面の表示が実現される。

【0045】上記の構成において、中継バス19のバス本数が多いほど1ブロックのデータ数が多くなり、データの転送回数を減少できる。バス本数は加工装置の精度に依存するが、現行装置では5mm角のチップで50μmピッチの接続が可能となるので、1辺につき100端子、3辺を用いることにより300端子程度の取り出しが可能になる。端子形状を千鳥パターンとすることにより、更に3倍程度の端子形成が可能であるから、1ブロックが300ビット程度の接続は容易である。

【0046】実用の液晶パネルの適用例を説明する。640×480画素のパネルで、1ライン分の640画素、RGB各色6ビットの階調信号を転送する場合は、 $640 \times 3 \times 6 = 11520$ ビットを転送する必要がある。従って、300ビット並列転送の場合の転送回数は38.4回となる。転送時間はフレーム周波数70Hzの場合、1ラインの期間は $1 \div 70 \div 480 = 29.8 \mu\text{s}$ となる

ので、この場合の転送周波数は1.3MHzとなる。従来例のドットクロックは20MHz以上になるから、大幅な周波数低減となることが分かる。また、画像メモリチップを複数に分割し、同期させて駆動することにより一層の低減が可能である。

【0047】各回路の詳細な構成と動作について説明する。図5に、画像メモリチップの構成を示す。画像メモリチップ12はアドレスバス配線34、データバス配線35、制御信号線36をまとめたバス配線38とチップ入力接続端子37を介してシステムバスと接続される。

【0048】画像メモリ13はメモリセル63がマトリクス状に配置され、各メモリセルを選択するためのワード線62は行方向に共通に、ワード線デコーダ15に接続されている。データの書き込みをするビット線65は列方向に共通に、ビット線駆動回路51に接続されている。ビット線駆動回路51は書き込み制御のためのデータインターフェース50及びデータ線デコーダからなる。ビット線65の各々はセンスアンプ64に接続され、ワード線を選択すると該当する1ライン分のセルが選択され、セルの状態を一斉にセンスアンプ64に出力する。

【0049】センスアンプ64によりビット線65の状態はデータに変換され、メモリラッチ制御信号131によりメモリ出力ラッチ16に読み出され、ラッチ選択回路17に接続される。ラッチ選択回路17の出力は複数のチップ出力端子31に接続され、中継バス19を介して液晶パネル11と接続される。

【0050】このうち、メモリセル63へ書き込むためのビット線駆動回路51、ワード線デコーダ15はデュアルポートメモリチップの方式と同一でよい。

【0051】メモリ13への書き込み動作を制御するための制御信号は、読み出し制御回路18により生成され、ワード線デコーダ15、ビット線駆動回路51に供給される。また、メモリラッチ制御信号131、メモリチップブロック切り替え信号130や、TFT周辺回路の動作を制御する転送制御回路26の制御信号も生成する。転送制御回路26はブロック選択信号84、ブロックラッチ信号88、ラインラッチ信号132、シフトクロック113、フレームスタート信号114を出力する。なお、TFT周辺回路への制御信号は、中継バス19に必要な本数を追加して転送している。

【0052】図6に、メモリセルの回路構成を示す。メモリセル63は6個のトランジスタにより構成され、VDD端子66、VSS端子67を電源に接続している。セルを選択するためのワード端子68、データを入出力するために互いに反転信号を入出力するビット端子69および反転ビット端子70は、それぞれマトリクスのワード線62、ビット線65に接続している。

【0053】図7に、センスアンプの回路構成を示す。センスアンプ64は5つのトランジスタにより構成さ

れ、電源VDDとバイアス電圧VCSを印加すると、互いに反転するビット信号および反転ビット信号を入力端子71に印加し、電源電圧の振幅を有するデータ出力72を得る。

【0054】図8に、メモリ出力ラッチの回路構成を示す。並列に配置された複数のラッチ回路97はその入力端子をセンスアンプ64のデータ出力端子72に接続され、メモリラッチ制御信号131により一斉にラッチする。

【0055】図9に、ラッチ回路の構成を示す。ラッチ回路97はCMOSトランジスタによる2個のインバータ90と、2個のトランസファゲート91および制御インバータ92から構成される。入力端子93に入力されたセンスアンプ64からのデータは、読み出し制御回路18から制御端子94に入力するメモリラッチ制御信号131が論理「正」の場合のみ、トランസファゲート91が開となり、インバータ92を駆動し、ラッチ出力95の状態を変化させる。メモリラッチ制御信号131が論理「負」の場合は、出力状態は変化せずデータを保持する。

【0056】図10に、ラッチ選択回路の構成を示す。ラッチ選択回路17はメモリ出力ラッチ16からの総数Nビットの1ライン分のデータ線134を、トラン斯ファゲートを用いたアナログスイッチ135を介してm本の出力バス82に順次接続する。このため、データ線をm本ごとに分割してブロック1～hの出力ブロック81とし、出力ブロックごとに多重化して選択接続する。N本のデータ線をm本の出力バスに対応してh個のブロックに分割するので、ブロック数h=N/mの関係になる。

【0057】出力バス82に接続され出力するブロック81は、アナログスイッチ135の制御により行われる。このため、ブロック毎にアナログスイッチ135をブロックアナログスイッチ83として選択信号入力端子をまとめ、そのいずれか1本のみに論理「正」信号を印加し、他には論理「負」信号を印加することにより特定の出力ブロックのみが選択的に接続される。メモリチップブロック切替信号130は読み出し制御回路18から供給され、アナログスイッチの制御には極性の反転した制御信号が必要なので、切替信号130毎にインバータ85を接続する。出力バス82はチップ出力接続端子31を介して、中継バス19に接続される。

【0058】次に、本実施例の液晶パネルについて、特に、信号側周辺回路32と走査側周辺回路33の構成と動作を詳細に説明する。

【0059】信号側周辺回路32のブロック切替回路20は、画像メモリチップ12から中継バス19を介して入力された表示データをブロック順に転送し、選択ラッチ回路21は1ライン分の表示データを再配列する。

【0060】図11に、ブロック切替回路の構成を示

す。ブロック切替回路20の1ライン分(N本)の出力配線136は1～hブロックに分けられ、CMOSTFTにより構成されるTFTアナログスイッチ161と1ブロック分(m本)の入力バス86を介して、中継バス19に接続されている。

【0061】アナログスイッチはm個ごとにまとめられて、TFTブロックアナログスイッチ160を構成している。スイッチ160の制御信号はブロック毎に共通し、インバータ89によりアナログスイッチ制御に必要な両極性の制御信号を生成する。スイッチの開閉は転送制御回路26から供給されるブロック選択信号84により、いずれか1本のみに論理「正」信号を印加し、他には論理「負」信号を印加することによって、各ブロックが所定順に選択されて入力バス86と接続される。入力バス86と接続されたブロック出力87の出力配線136により表わされる表示データは、レベルシフタ22により画像メモリ13の出力信号の論理レベルを薄膜トランジスタ回路の論理レベルに適合させて、選択ラッチ回路21に送られる。

【0062】図12に、選択ラッチおよびラインラッチの回路構成を示す。同図(a)は選択ラッチ回路21で、複数のラッチ回路97を配列し、m本からなるブロック毎にラッチ制御信号をまとめ、ブロック単位のラッチ可能に構成されている。転送制御回路26からのブロックラッチ信号88により、ブロック切替回路20と同期して同一ブロックのデータをラッチする。選択ラッチ回路21の出力はラインラッチ回路23に接続されている。同図(b)はラッチ回路97で、CMOSTFTにより構成されている。ただし、図9のラッチ回路と同じ構成となるので、回路要素の符号は便宜的に同一としている。

【0063】図12(c)はラインラッチ23で、図12(b)と同様のラッチ回路97をNビット分、並列接続している。全ての回路97のラッチ制御信号端94は一括接続されており、転送制御回路26からのラインラッチ信号132により、1ライン分の表示データを一斉にサンプリングする。

【0064】図13に、レベルシフタの回路構成を示す。レベルシフタ22は6つのトランジスタから構成される。ブロック切替回路20からの入力信号は、インバータ90による反転信号と併せて4つのトランジスタ回路に入力され、その論理電圧は電源端子99の電圧まで増幅される。

【0065】このように、ブロック切替回路20の後にレベルシフタ22を接続し、画像メモリ13の出力信号の論理レベルをTFT回路の論理レベルに適合させる。この結果、以下の理由により消費電力を低減することができる。

【0066】ブロック切替回路20は、m本の中継バス19とN本の出力配線136がアナログスイッチで接/断されるマトリクスを構成し、この配線交差部に交差容

量が形成される。マトリクスで高速に信号を切り替えるためには、画像メモリチップ12から見て交差容量を高速に充放電する必要がある。このときの消費電力は容量値に比例し、信号振幅の2乗に比例する。そこで、ブロック切替回路20の駆動電圧を下げることにより消費電力を低減できる。

【0067】本実施例においては、画像メモリチップ12は半導体素子としてシリコン基板上のLSIにより形成したもので、高集積化のために論理電圧5V以下で使われる。一方、液晶パネル11の TFT回路の動作電圧は液晶駆動電圧よりも高くしなければならず、具体的には8~16V程度が必要となる。そこで、ブロック切替回路20までは、論理電圧が3.3~5Vと画像メモリの論理電圧で駆動し、その後のレベルシフタ22により論理電圧を10~12Vに昇圧し、液晶駆動を可能にしている。この結果、消費電力の低減と高速動作を可能にしている。

【0068】本実施例では、ブロック切替回路20にスイッチ切替方式を用いているので、表示データの論理電圧に関係なく信号の切り替えが可能である。なお、信号の切り替えは複数の論理回路の組み合わせによっても可能である。その場合、ブロック切替回路20の入力部で、TFTにより構成した高速論理回路用の論理電圧にレベルシフトする必要がある。

【0069】図14に、液晶駆動電圧発生回路の構成を示す。液晶駆動電圧発生回路24は、2進数でaビットのデジタル階調信号が入力されるa本の入力端子100が、論理回路を組み合わせたデコーダ回路101を介して、トランスマニアゲート103を用いた階調電圧選択スイッチ104に接続され、その出力線106が表示部29の信号配線であるドレイン線と接続されている。階調電圧選択スイッチ104は、2のa乗本の配線からなる階調電圧バス105に接続され、バス105の各配線は階調に対応した異なる振幅の階調電源47に接続されている。

【0070】したがって、入力端子100に接続されたaビットのデジタル階調信号は、2進数表記の階調番号に対応した階調データをあらわす。デコーダ回路101により2進数表記の階調番号に対応した1本の階調制御信号を、2のa乗本数ある階調制御信号102から選択する。階調制御信号は階調電圧選択スイッチ104の1つのトランスマニアゲート103のみを導通させることにより、特定の階調電源を接続された階調電圧バス105の1本と出力線106とを接続し、階調電圧を出力する。これにより、1画素の階調をあらわすaビットの表示データに対応して、液晶の透過率を変化させる液晶駆動電圧に変換され、出力線106から画素部のドレイン線へ出力される。

【0071】次に、図15の走査側周辺回路33により、シフトレジスタ28とゲート配線駆動回路27の構

成を説明する。シフトレジスタ28は多段のシフトレジスタ回路112を直列に接続し、入力に転送制御回路26からフレームスタート信号114と両極性のシフトクロック113が供給される。ゲート駆動回路27は順次ゲート幅の大きなインバータを直列接続したインバタ列111により構成され、シフトレジスタ28の各段の出力を入力し、表示部29のゲート配線を高速に駆動する。

【0072】図16に、シフトレジスタの回路図を示す。シフトレジスタ28は、8つのインバータ107と8つのトランスマニアゲート108からなるシフトレジスタ112を多数直列に接続して構成される。2相の互いに極性が異なるシフトクロック113で駆動することにより、入力信号109を順次シフトクロックごとに遅延してゲート配線110に出力する。

【0073】以上その他に、上記した各種の制御信号を発生する読み出し制御回路18および転送制御回路26は、それぞれCMOSを用いた論理回路の組み合わせにより構成される。基本的には従来技術であり詳細な説明は省略する。

【0074】次に、本実施例の液晶表示装置の動作を説明する。図17は、CPUから画像メモリへの書き込み動作を示すタイムチャートである。上述のように、CPU30からアドレス及びデータが指定され、制御信号にはメモリセレクト信号、読み出し制御信号が含まれている。

【0075】メモリセレクト信号が論理「0」になると画像メモリが選択され、画像メモリ13への書き込みが可能になる。その後、書き込み制御信号が論理「0」から論理「1」に変化する時のデータバスの状態が、画像メモリの指定アドレスのメモリセル63に書き込まれる。このように、画像メモリ13への表示データの書き込みは、CPUに接続された他のメモリと同様の手順で行なわれ、液晶表示装置を搭載した従来のパーソナルコンピューター等と変わらざるところがない。

【0076】次に、表示データの読み出しについて説明する。図18は、画像メモリからメモリ出力ラッチへの1フレームの読み出し動作を示すタイムチャートである。読み出し制御回路18の指示によりワード線デコーダ15が動作し、ワード線62の1~nを順次1本づつ選択すると、ワード線62に接続されたメモリセル63のデータ1ライン分がビット線65を介してセンスアンプ64に入力され、デジタルデータに変換される。これを、順次メモリ出力ラッチ16に入力しメモリラッチ制御信号131によりラッチすると、出力ラッチ16の出力が変化する。以上の読み出し動作を、1フレーム時間に1ライン目から1画面の走査線本数のnライン目まで繰り返し、さらにフレーム時間毎に一連の動作を繰り返す。

【0077】図19は、ラッチ選択回路の動作を示す説

明図である。ラッチ選択回路17はメモリ出力ラッチ16の1ライン分の出力を、m本のチップ出力端子31に出力する。走査線k本目の水平1ライン分の表示データh×mビット分が、メモリ出力ラッチ16に図示の配列のように保持される。これをmビット、h個のブロックに分け、読み出し制御回路18から供給されるメモリチップブロック切り替え信号130により、1ブロック目からhブロックまで順番に選択する。これにより、ブロック1～hまで順次、出力バス82に接続することができ、1ライン分の表示データがブロック単位でチップ出力端子31、さらに中継バス19へと出力される。

【0078】図20は、ブロック切替回路を介して表示データを取り込む選択ラッチ回路の動作を示す説明図である。中継バス19には、順次ブロック1からブロックhまでのデータが出力されてくる。これと同期して、転送制御回路26からブロック切替回路20にブロック選択信号84、選択ラッチ回路21にブロックラッチ信号88を供給し、該当ブロックの選択信号およびブロックラッチ信号を論理「正」とすると、データは選択ブロックが接続された選択ラッチ回路21に取り込まれ、その出力が書き換えられる。この際に、各選択ラッチ回路21の入力側に接続されたレベルシフタ22により、10～12v程度のTFT論理回路のレベルに変換される。

【0079】このようにして、選択ラッチ上のデータ配置が図示のように、部分的に順次更新され、1～hブロックまでの書き換えが終わると、kライン目のデータが選択ラッチ上に配置される。なお、画像メモリチップ12の読み出し動作と、ブロック切替回路20、選択ラッチ回路21の動作は同期して行われるので、画像メモリ13のメモリ出力ラッチ16上の1ラインの表示データは、1水平走査期間内に選択ラッチ回路21へと転送される。

【0080】図21は、ラインラッチの動作を示すタイムチャートである。ラインラッチ23の入力には、選択ラッチ21から1水平期間ごとに走査線1本分のデータが更新、供給される。この入力データを、転送制御回路26からのラインラッチ制御信号132により取り込み、ラインラッチ出力データを更新する。ラインラッチ出力は液晶駆動電圧発生回路24に接続され、瞬時に液晶駆動電圧に変換されて、出力線106から対応画素のドレン配線に供給される。

【0081】表示部29の動作は従来と同様である。表示部29のマトリクス構成される各画素部は、そのゲート配線110から1水平ラインの画素を順次シフトした走査パルスが走査側回路から印加される。また、信号側回路では、走査パルスに同期して、液晶駆動電圧発生回路24から1ライン分の液晶駆動電圧を各画素のドレン配線より印加し、水平1ラインの画素表示が行われる。

【0082】以上、本実施例の液晶表示装置によれば、

表示パネル上に実装された画像メモリチップは、CPUなど描画制御回路からの表示データをビットマップイメージで記憶し、1ライン分のデジタルの表示データを同時に読み出し、転送制御回路により同期を取って、ブロック単位の複数画素分毎に中継バスに順次出力する。この表示データは中継バスを介して、表示パネル上に表示部と共に薄膜TFTを用いて形成された周辺駆動回路に供給される。周辺駆動回路は、転送制御回路により同期を取り、表示データを1ライン分の選択ラッチに順次取り込み、ラインラッチに転送して1ライン分のデータを保持する。このデータを用いて各ドットのデジタル階調データを画素の液晶に印加する階調電圧に変換する。

【0083】この結果、画像メモリと表示部のインターフェースを簡略化することができ、1ラインのデータを転送する為の転送クロックを低減できるので、表示装置の消費電力を大幅に低減することができる。また、TFT基板上での周辺回路の形成により液晶モジュールをコンパクト化でき、かつ高精細の画像を提供できる。

【0084】【実施例2】次に、本発明の第2の実施例を説明する。図22は、実施例2による液晶表示装置の構成図である。実施例1と相違する点は、液晶パネル11の信号側周辺回路の一部である。具体的には、中継バス19の各端子はレベルシフタ120を介して、シフトレジスタ列で構成した信号入力選択回路121に接続されている。

【0085】図23に、中継バスからラインラッチまでの構成図を示す。チップ出力端子31に接続された中継バス19には、各々の配線毎にレベルシフタ120が接続され、データ電圧をTFTによる論理回路に適した論理レベルに変換する。レベルシフタ回路120の出力は、それぞれシフトレジスタ122の入力端子109に入力される。シフトレジスタ122は1ライン分のデータを分割するブロック数に相当する段数分、直列に接続してシフトレジスタ列を構成している。

【0086】シフトレジスタ122は転送制御回路26からのシフトクロック162により動作する。シフトクロック162はメモリチップ12のメモリチップブロック切り替え信号131と同期している。

【0087】図24は、信号入力選択回路の動作を示す説明図である。信号入力選択回路121のシフトレジスタ列は、シフトクロックが変化する度に、入力端子に入力された各ブロックのデータを取り込み、順次右にシフトする。ブロック1～hまで繰り返しシフト動作を完了すると、kライン目のデータがサンプリングされる。このとき、ラインラッチ制御信号132を印加すると、1ライン分のデータがラインラッチ23に転送される。その後、液晶階調駆動回路24により、実施例1と同様にして表示動作が行なわれる。

【0088】実施例1のレベルシフト回路は1ライン分必要であったのに対し、実施例2のレベルシフト回路は

1ブロック分で済み、消費電力を低減できる。具体的には、 640×480 画素のパネルの信号配線は640本あり、選択ラッチ回路の後にレベルシフタ回路を配置すると640回路となるが、信号入力選択回路の後に配置すると中継バス19の数だけで済み、例えば、中継バスが40本であれば40回路で良く、この部分の消費電力を80分の1に減らすことができる。

【0089】また、信号入力選択回路の配線交差部を減少できるので、論理電圧が高くなることによる消費電力の増大を相殺できる。

【0090】【実施例3】図25は、他の実施例による液晶パネルの断面構造を示す。図4の透過型の液晶パネルに対し、反射型の液晶パネルを示している。本実施例では、表示に用いる反射型液晶140として、2色性高分子分散型液晶あるいはゲストホスト型液晶を用い、表示電極として反射表示電極141を用いている。

【0091】図26に、画素部の概略構造を示す。表示部29の画素部はゲート配線110、ドレイン配線106のマトリクス状の交差部で、これらと接続した画素TFT142から構成される。反射型表示電極141は反射率の高い金属薄膜で形成されており、ドレイン配線106に印加される液晶駆動電圧をゲート配線110に選択パルスが入力された時に、ドレイン電極と表示電極141を導通することにより液晶140を駆動する。

【0092】反射型液晶を用いることによりバックライトが不要となり、電力消費は画像メモリチップ12及びTFT周辺回路40のみとなり、消費電力の一層の低減ができる。

【0093】【実施例4】次に、本発明の液晶表示装置を適用した計算機システムの実施例を説明する。図27に、本発明による計算機システムの実施例を示す。本システムは情報を演算処理するCPU150、データを記憶するメモリ素子151、システム外部とのデータ入出力を制御するI/O153、システムの制御を行うコントローラ152、コマンドなどを入力するためのキーボード154及び液晶表示装置3が、相互にシステムバス158を介して接続されている。液晶表示装置3は実施例1ないし実施例3に説明したとおり、液晶パネルに画像メモリチップが実装される構成で、CPU150からの表示データは、その変更部分を供給するのみで、表示部の画像表示が更新できる。

【0094】本システムの液晶表示装置3は、独立したディスプレイ電源157に接続されている。システム電源155は表示装置3以外を駆動する電源で、CPU150および電源制御部156により、キー入力またはシステムバス158の状況に対応して、各部への電力供給を制御される。通常はすべての構成要素を稼動させており、入力、情報演算、表示などを実行する。計算中など、一部の動作に限られる場合にはCPU150により、システム電源を制御して不稼動な要素の通電を遮断

し、消費電力を低減することができる。

【0095】さらに、一定時間を越えて入力待ちした場合などに、システム電源155を遮断してCPU150を停止し、液晶表示装置3のみを稼動させて、それまでの画面表示は維持することができる。その状態からキー入力して、システムを再起動させることもできる。

【0096】従来の液晶表示モジュールは、CPUもしくはコントローラから常に表示データを供給する必要があるので、計算機システムのCPUあるいはコントローラを停止させると表示内容も消えてしまう。しかし、本実施例の計算機システムによれば、表示装置自身が表示データを保持するための画像メモリを内蔵しているので、システムの他の装置が稼動の必要のない場合にその電力供給を遮断しても表示動作を維持でき、システムの消費電力を大幅に低減できる効果がある。

【0097】

【発明の効果】本発明によれば、画像メモリとその読み出し制御回路を形成した画像メモリチップを液晶モジュールと同一基板上に実装し、接続部の多数の配線を基板上に形成し、画像メモリから液晶モジュールへの表示データをパラレル伝送するので、従来のシリアル伝送に比べ転送周波数を大幅に低減でき、消費電力を低減できる効果がある。

【0098】また、転送周波数の低減により、TFT基板上に構成する周辺回路の移動度が低くても必要な回路動作が確保され、画像の精細度を向上できる効果がある。

【0099】さらに、CPUなどの描画制御回路からの書き込みが無い場合にも、画像メモリに表示データを保持して表示動作を可能にするので、表示データの書き換えは表示内容の変更部分のみでよい。このため、静止画像の表示や変更が無い期間に、CPUが他の業務を処理したり、表示装置以外の電源供給を中断することもでき、液晶表示装置を備える小型計算機などでの処理性と省電力を向上できる。

【図面の簡単な説明】

【図1】本発明の液晶表示装置の基本構成図。

【図2】従来のTFT液晶表示モジュールの概略構成図。

【図3】本発明の実施例1による液晶表示装置の構成図。

【図4】実施例1の液晶表示装置の部分断面図。

【図5】画像メモリの構成図。

【図6】メモリセルの回路図。

【図7】センスアンプの回路図。

【図8】メモリ出力ラッチの構成図。

【図9】メモリ出力ラッチの回路図。

【図10】ラッチ選択回路図。

【図11】ロック切替回路図。

【図12】TFTの選択ラッチ回路及びラインラッチ回

路の構成図。

【図13】レベルシフタの回路図。

【図14】液晶階調駆動回路図。

【図15】シフトレジスタ及びゲート駆動回路図。

【図16】シフトレジスタ回路図。

【図17】画像メモリのデータ書き込み手順を示すタイムチャート。

【図18】画像メモリ出力のラッチ動作を示すタイムチャート。

【図19】画像メモリチップから中継バスへ出力する選択動作の説明図。

【図20】中継バスから信号側周辺回路へ入力する選択動作の説明図。

【図21】TFTラインラッチ動作を示すタイムチャート。

【図22】本発明の実施例2による液晶表示装置の構成図。

【図23】実施例2による信号側周辺回路の構成図。

【図24】シフトレジスタ列のデータ配列を示す説明図。

【図25】実施例3の液晶表示装置の部分断面図。

【図26】画素部の概略構成図。

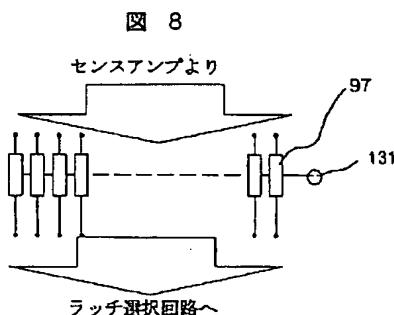
【図27】本発明の実施例4による計算機システムの構成図。

【符号の説明】

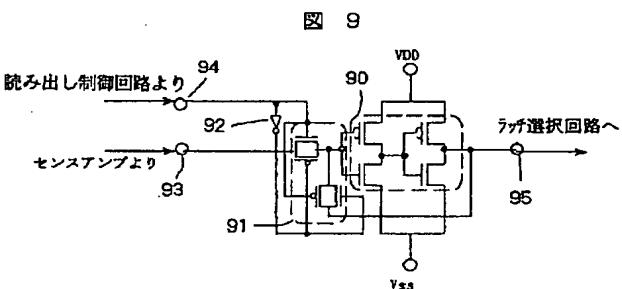
1…データアドレスバス、2…制御信号線、3…表示装置、4…ラインメモリパラレルインターフェース、5…接続部、6…パラレル入力インターフェース、7…液晶階調駆動回路、8…シリアル転送データ、9…シリアルパラレル変換回路、11…液晶表示パネル、12…画像メモリチップ、13…画像メモリ、14…データ線デコーダ、15…ワード線デコーダ、16…メモリ出力ラッチ、17…ラッチ選択回路、18…読み出し制御回路、19…中継バス、20…ブロック切替回路、21…選択ラッチ回路、22…レベルシフタ、23…ラインラッチ、24…液晶駆動電圧発生回路、26…転送制御回路、27…ゲート配線駆動回路、28…シフトレジス

タ、29…表示部、30…CPU、31…チップ出力接続端子、32…信号側周辺回路、33…走査側周辺回路、34…アドレスバス配線、35…データバス配線、37…チップ入力接続端子、38…バス配線、40…TFT周辺回路、41…TFT基板、42…対向基板、43…液晶、44…液晶シール、45…偏光板、46…パックライト、47…階調電源、49…透明導電膜、48…カラーフィルタ、50…データインターフェース、51…ビット線駆動回路、62…ワード線、63…メモリセル、64…センスアンプ、65…ビット線、68…ワード端子、69…ビット端子、70…反転ビット端子、71…ビット線入力端子、72…データ出力、81…出力ブロック、82…出力バス、83…ブロックアナログスイッチ、84…ブロック選択信号、85…インバータ、86…入力バス、87…ブロック出力、88…ブロックラッチ信号、89…インバータ、90…インバータ回路、91…トランスマジックゲート回路、92…制御インバータ、93…入力端子、97…ラッチ回路、99…電源端子、100…入力端子、101…デコード回路、103…トランスマジックゲート、104…階調電圧選択スイッチ、105…階調電圧バス、106…出力線（ドレイン配線）、107…インバータ、108…トランスマジックゲート、110…ゲート配線、111…インバータ列、112…シフトレジスタ、113…シフトクロック回路、114…フレームスタート信号、120…レベルシフタ、121…信号入力選択回路（シフトレジスタ列）、122…シフトレジスタ、130…メモリチップブロック切替信号、131…メモリラッチ制御信号、132…ラインラッチ信号、135…アナログスイッチ、140…反射型液晶、141…反射表示電極、142…画素TFT、150…CPU、151…メモリ、152…コントローラ、153…I/O、154…キーボード、155…システム電源、156…電源制御部、157…ディスプレイ電源、158…システムバス、160…TFTブロックアナログスイッチ、161…TFTアナログスイッチ。

【図8】

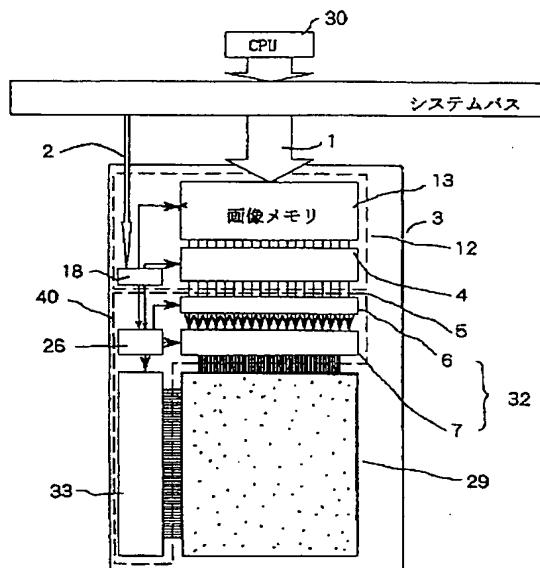


【図9】



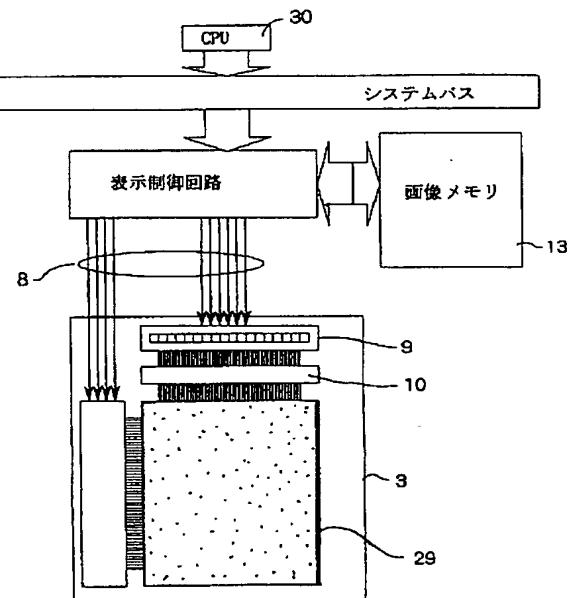
【図1】

図1



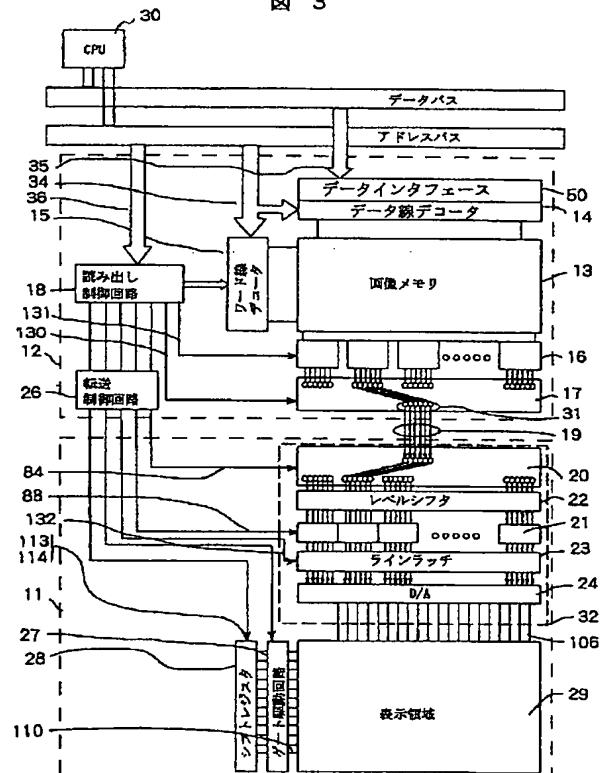
【図2】

図2

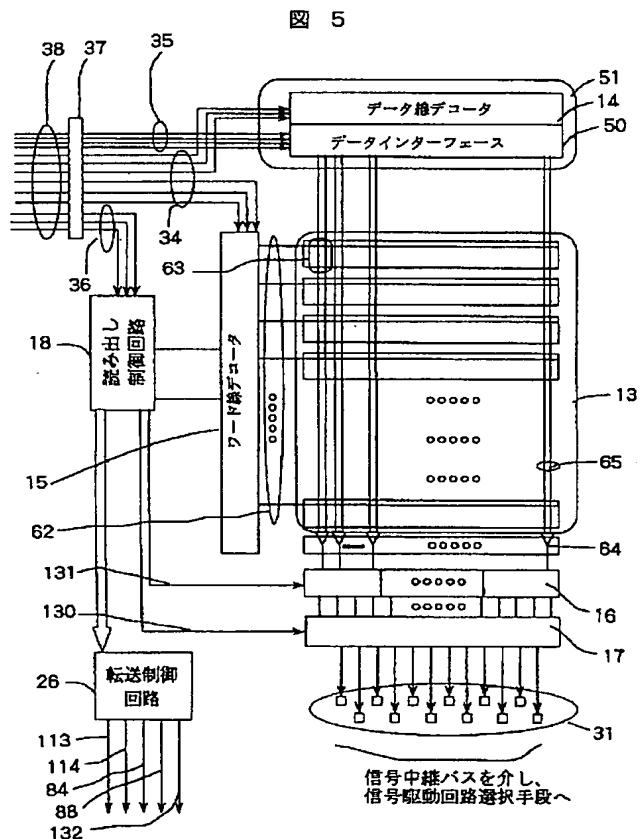


【図3】

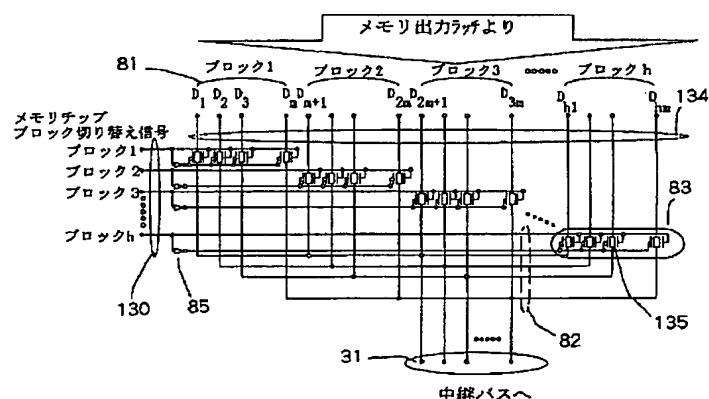
図3



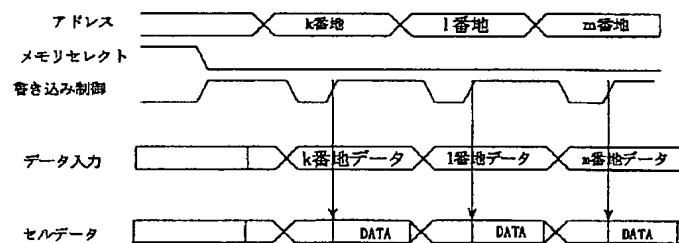
【図5】



[図10]

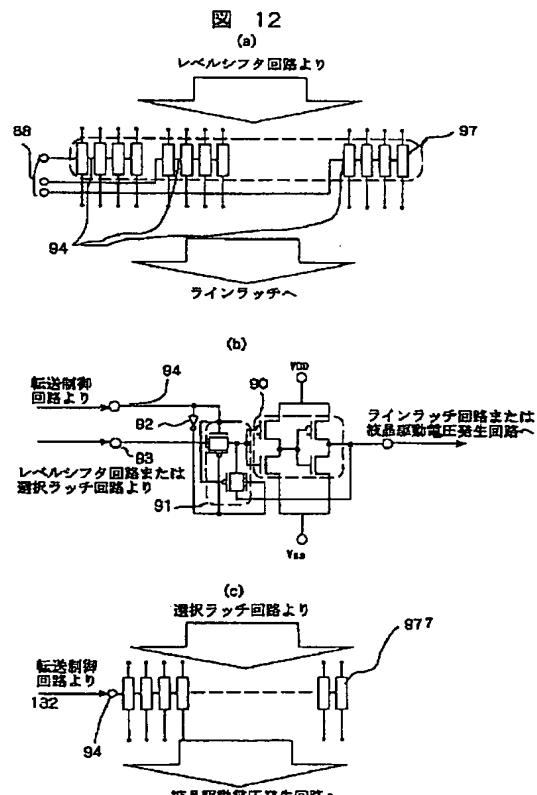


[図 17]



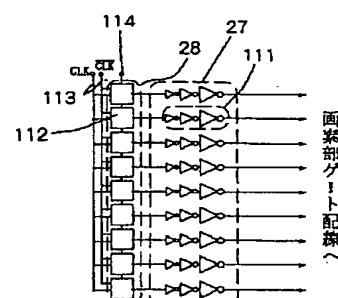
【图12】

5



[図 15]

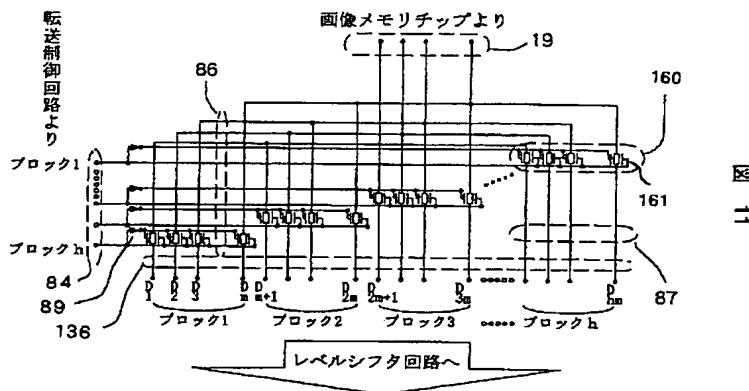
15



10

17

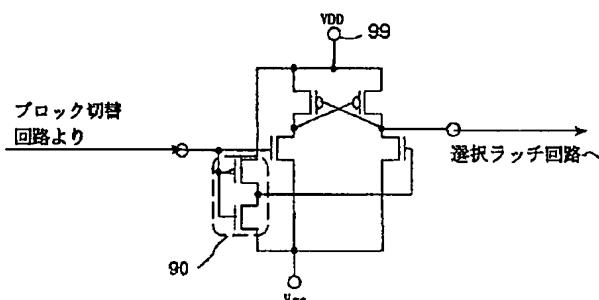
【图 1-1】



一
一

【図13】

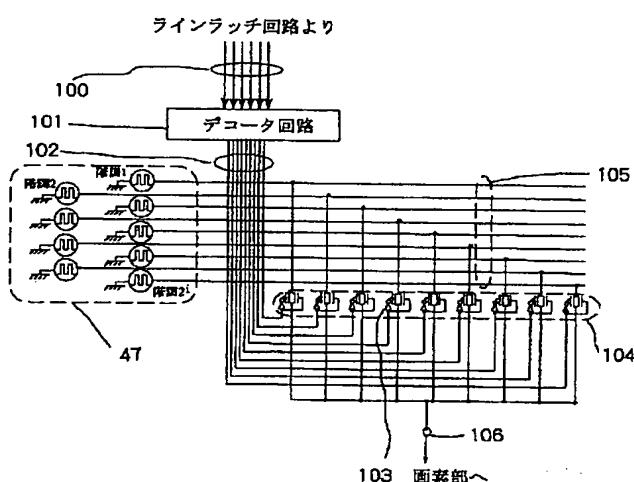
四 13



【図16】

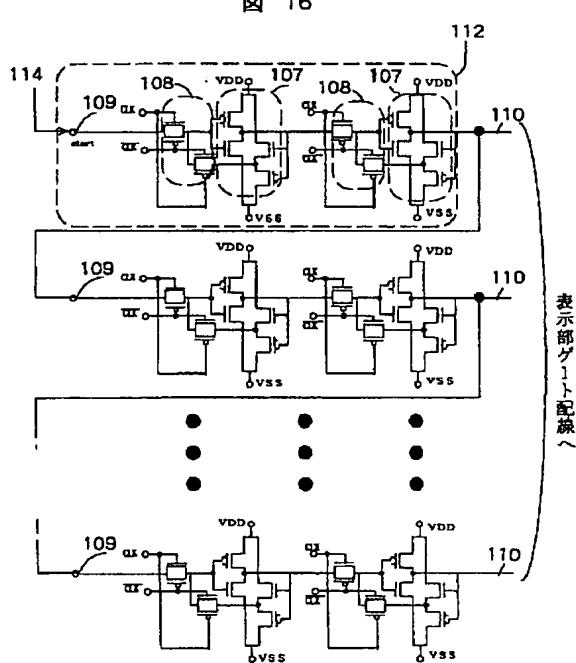
【图 14】

14



[図18]

圖 16

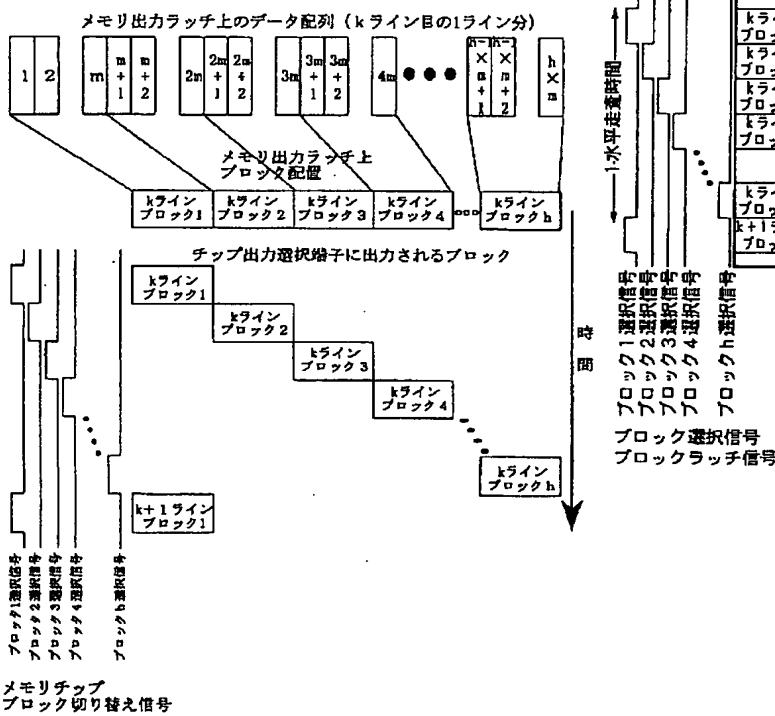


表示部ゲート配線

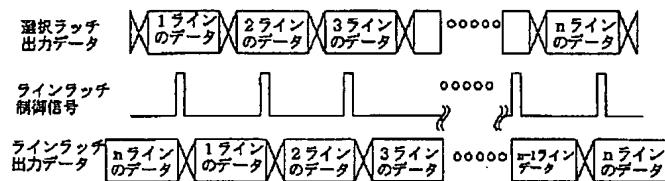
三

【图 19】

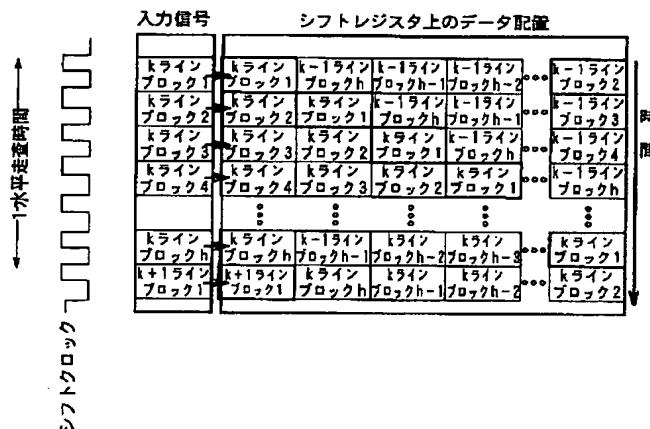
19



〔图21〕

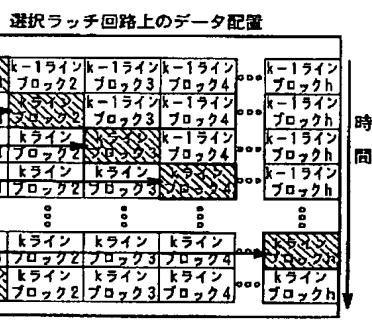


[图 24]



【图20】

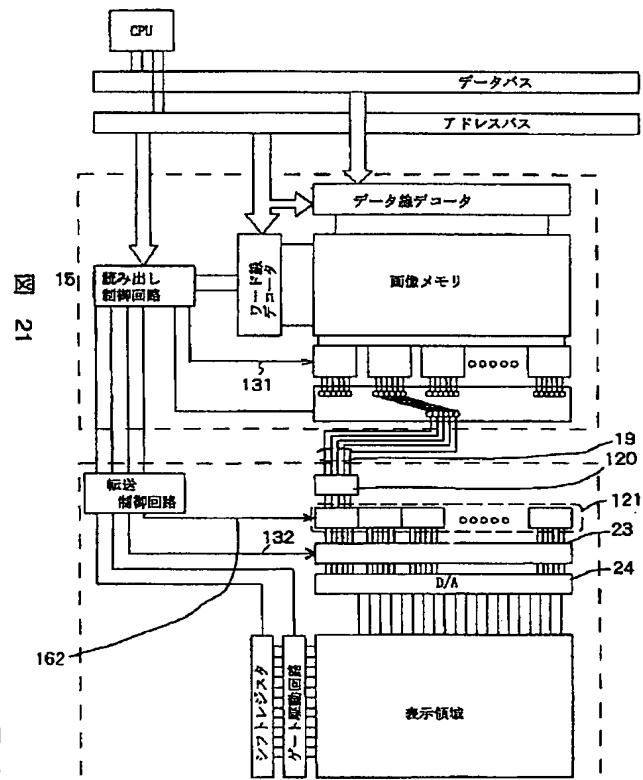
中継バス



20

【图 22】

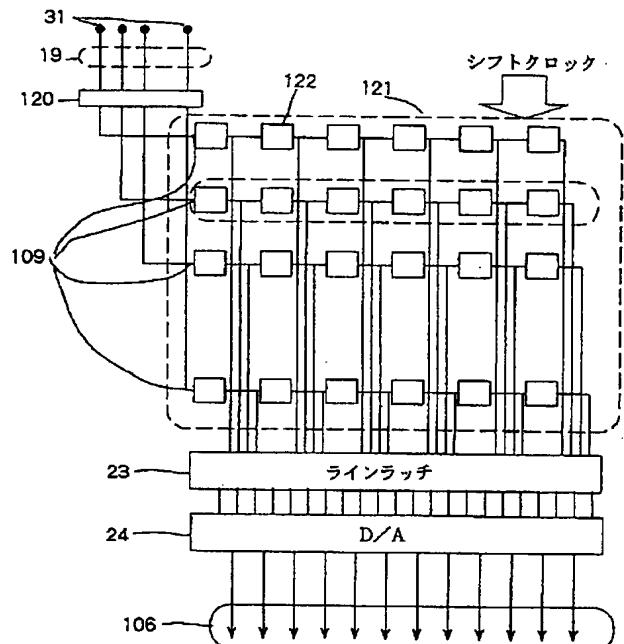
図 22



24

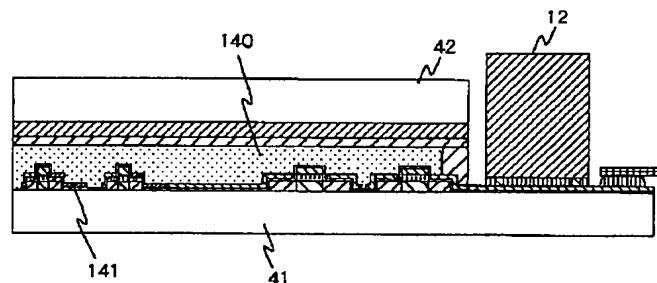
【図23】

図23



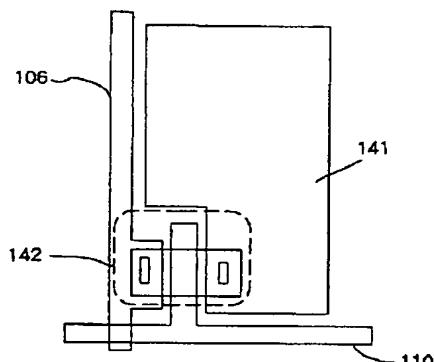
【図25】

図25



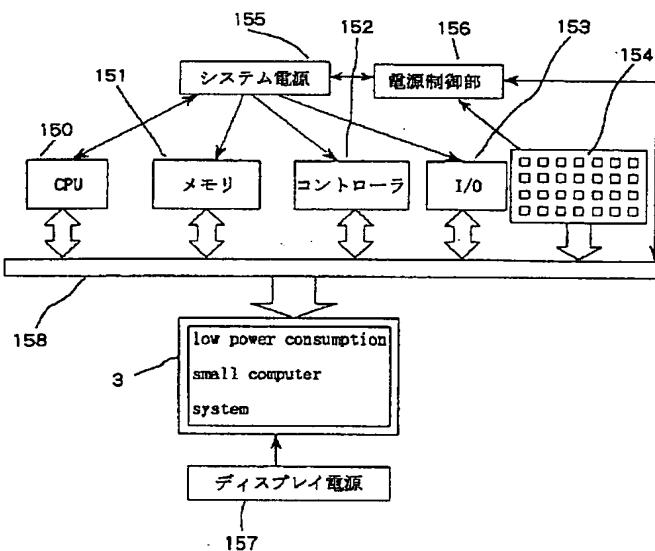
【図26】

図26



【図27】

図27



フロントページの続き

(72)発明者 佐藤 秀夫

茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 河内 玄士郎

茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 大久保 竜也
茨城県ひたちなか市稻田1410番地 株式会
社日立製作所映像情報メディア事業部内